

**МІНІСТЕРСТВО ВНУТРІШНІХ СПРАВ УКРАЇНИ
ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ВНУТРІШНІХ СПРАВ**

Кафедра інформаційних технологій та кібербезпеки факультету № 4

**МЕТОДИЧНІ МАТЕРІАЛИ
ДО ЛАБОРАТОРНИХ ЗАНЯТЬ**

навчальної дисципліни
«Електроніка та схемотехніка»
обов'язкових компонент освітньої програми
першого (бакалаврського) рівня вищої освіти

125 «Кібербезпека» (поліцейські)

Харків 2020

ЗАТВЕРДЖЕНО

Науково-методичною радою
Харківського національного
університету внутрішніх справ
Протокол від 23.09.2020 № 9

СХВАЛЕНО

Вченою радою факультету № 4
Протокол від 16.09.2020 № 5

ПОГОДЖЕНО

Секцією Науково-методичної ради
ХНУВС з технічних дисциплін
Протокол від 18.09.2020 № 5

Розглянуто на засіданні кафедри інформаційних технологій та кібербезпеки
(протокол від 15.09.2020 № 16)

Розробники:

1. Доцент кафедри інформаційних технологій та кібербезпеки факультету № 4,
кандидат технічних наук, доцент Клімушин П.С.

Рецензенти:

1. Завідувач кафедри інформаційних управляючих систем ХНУРЕ, д.т.н., професор
Петров К. Е.

2. Провідний науковий співробітник Науково-дослідної лабораторії з проблем
розвитку інформаційних технологій ХНУВС, к.т.н., доцент Мордвинцев М.В.

Зміст

ЛАБОРАТОРНЕ ЗАНЯТТЯ №1. ДОСЛІДЖЕННЯ ДИФЕРЕНЦІЮЮЧИХ ТА ІНТЕГРУЮЧИХ КОЛІВ ІМПУЛЬСНОЇ ЕЛЕКТРОНІКИ	4
1. Дослідження дільника напруг	5
2. Дослідження диференціюючих RC-кіл	7
3. Дослідження інтегруючих RC-кіл	11
4. Контрольні питання	11
ЛАБОРАТОРНЕ ЗАНЯТТЯ №2. ДОСЛІДЖЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ ТА ЛОГІЧНИХ ФУНКЦІЙ	12
1. Дослідження логічних схем з допомогою середовища моделювання	12
2. Дослідження функціонування логічних елементів у динамічному режимі роботи	14
3. Контрольні питання	16
ЛАБОРАТОРНЕ ЗАНЯТТЯ №3. ДОСЛІДЖЕННЯ ФУНКЦІОНУВАННЯ ТРИГЕРІВ	16
1. Аналіз функціонування RS-тригерів	16
2. Аналіз функціонування JK-тригерів	19
3. Аналіз функціонування T-тригерів	20
4. Дослідження роботи тригерів у статичному режимі	20
5. Контрольні питання	21
ЛАБОРАТОРНЕ ЗАНЯТТЯ №4. ДОСЛІДЖЕННЯ ФУНКЦІОНУВАННЯ ШИФРАТОРІВ, ДЕШИФРАТОРІВ, МУЛЬТИПЛЕКСОРІВ, ДЕМУЛЬТИПЛЕКСОРІВ	22
1. Побудова дешифраторів та шифраторів	22
2. Дослідження функціонування мультиплексорів, дешифраторів	24
3. Контрольні питання	28
ЛАБОРАТОРНЕ ЗАНЯТТЯ №5. ДОСЛІДЖЕННЯ ФУНКЦІОНУВАННЯ КОДОПЕРЕТВОРЮВАЧІВ ТА КОМБІНАЦІЙНИХ СУМАТОРІВ	28
1. Побудова кодоперетворювачів двійкового коду	29
2. Дослідження функціонування комбінаційних суматорів	30
3. Контрольні питання	31
ЛАБОРАТОРНЕ ЗАНЯТТЯ №6. ДОСЛІДЖЕННЯ ФУНКЦІОНУВАННЯ РЕГІСТРІВ, ЛІЧИЛЬНИКІВ	31
1. Побудова типових цифрових вузлів: регістрів, лічильників	32
2. Дослідження функціонування регістра	33
3. Дослідження функціонування лічильників	34
4. Контрольні питання	34

1. Розподіл часу навчальної дисципліни за темами

Номер та назва навчальної теми	Кількість годин відведених на вивчення навчальної дисципліни					Вид контролю	
	Всього	з них:					
		лекції	Семінарські заняття	Практичні заняття	Лабораторні заняття		Самостійна робота
Семестр № 4							
Тема № 1. Матеріали та компоненти електронної техніки	12	4		2		6	
Тема № 2. Диференціюючі та інтегруючі кола імпульсної електроніки	12	2			4	6	
Тема № 3. Логічні основи цифрової схемотехніки	18	2		4	4	8	
Тема № 4. Схемотехніка логічних елементів	16	4		4		8	
Тема № 5. Схемотехніка цифрових елементів	14	4			2	8	
Тема № 6. Схемотехніка комбінаційних вузлів	16	4			4	8	
Всього за семестр № 4:	88	20		10	14	44	залік
Семестр № 5							
Тема № 6. Схемотехніка комбінаційних вузлів	16	4			4	8	
Тема № 7. Схемотехніка цифрових вузлів	16	4			4	8	
Тема № 8. Напівпровідникові запам'ятовуючі пристрої	16	4		4		8	
Тема № 9. Основи мікропроцесорної техніки	32	6		8	2	16	
Тема № 10. Цифро-аналогові і аналого-цифрові перетворювачі	12	2		4		6	
Всього за семестр № 5:	92	20		16	10	46	екзамен
Всього по дисципліні:	180	40		26	24	90	

2. Методичні вказівки до лабораторних занять

Тема 2. Фізичні основи надання інформації

Лабораторне заняття №1. Дослідження диференціюючих та інтегруючих колів імпульсної електроніки

Навчальна мета заняття: Закріплення теоретичного матеріалу, набуття навиків створення і моделювання схем аналогових пристроїв, робота з різними вимірювальними приладами.

Кількість годин: 4 год.

Література:

1. Крилик Л.В., Селецька О.О. Матеріали електронної техніки: навчальний посібник. Вінниця: ВНТУ, 2017. 120 с

2. Чешко І.В. Вступ до спеціальності «Електроніка» : навчальний посібник. Суми : Сумський державний університет, 2017. 148 с.

3. Квітка С.О., Яковлев В.Ф., Нікітіна О.В. Електроніка та мікросхемотехніка: Навчальний посібник / За ред. проф. В.Ф. Яковлева. Київ: Аграрна освіта, 2010. 329 с.

4. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. Харків: НТУ «ХПІ», 2007. 480 с.

Матеріально-технічне забезпечення: комп'ютерна мережа із системою модулювання електронних схем Electronics Workbench.

Навчальні питання

1. Дослідження дільника напруг 5
2. Дослідження диференціюючих RC-кіл 7
3. Дослідження інтегруючих RC-кіл 11
4. КОНТРОЛЬНІ ПИТАННЯ 11

1. Дослідження дільника напруг

Дослідження простого дільника напруг за схемою рис. 1а, який виконано з використанням двох постійних резисторів R_1 і R_2 .

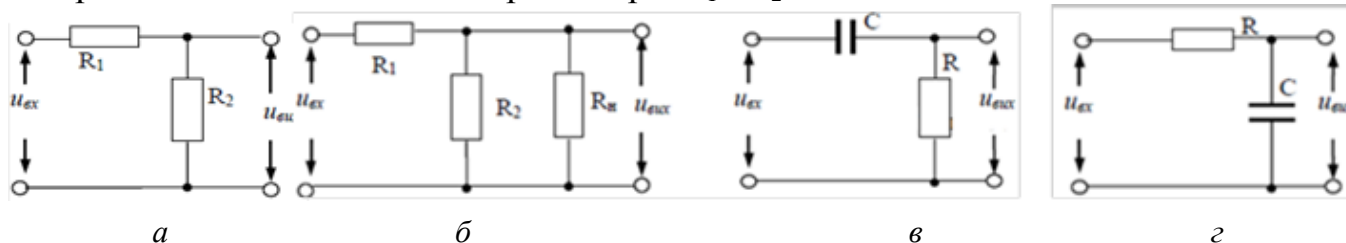


Рис. 1. Схеми дільників напруг: а - простого, б - з навантаженням, в - диференціюючого та г - інтегруючого RC-кола

Простий дільник напруги – це схема, яка для даної напруги на вході створює на виході напругу, яка є деякою частиною вхідної. У послідовно сполучених резисторах струм визначається таким чином:

$$I = U_{вх} / (R_1 + R_2).$$

Тоді для R_2

$$U_{вих} = IR_2 = U_{вх} R_2 / (R_1 + R_2).$$

З останньої формули видно, що $U_{вих} \leq U_{вх}$. З цієї формули згідно з варіантом до лабораторної роботи необхідно визначити номінал резистора, який є відсутнім в табл. 1.

Таблиця 1

№ з/п	$U_{вх}, U$	$U_{вих}, U$	$R_1, \text{Ом}$	$R_2, \text{Ом}$	$R_{н}, \text{Ом}$	№ з/п	$U_{вх}, U$	$U_{вих}, U$	$R_1, \text{Ом}$	$R_2, \text{Ом}$	$R_{н}, \text{Ом}$
1	1	0,2	100	-	500	9	25	10	200	-	100
2	2	0,3	-	100	$1 \cdot 10^3$	10	30	15	-	200	400
3	5	1	400	-	600	11	35	24	300	-	600
4	10	2	-	400	$1 \cdot 10^3$	12	40	20	-	300	900
5	12	2	$1 \cdot 10^3$	-	$2 \cdot 10^3$	13	45	25	$10 \cdot 10^3$	-	$1 \cdot 10^3$
6	15	5	-	$1 \cdot 10^3$	$1 \cdot 10^3$	14	50	20	-	$10 \cdot 10^3$	$5 \cdot 10^3$
7	17	7	$2 \cdot 10^3$	-	$1 \cdot 10^3$	15	110	20	$20 \cdot 10^3$	-	$10 \cdot 10^3$
8	20	5	-	$2 \cdot 10^3$	$4 \cdot 10^3$	16	220	25	-	$20 \cdot 10^3$	$1 \cdot 10^3$

Зробити заміри U_{R1} , U_{R2} і I_δ (де I_δ – струм дільника, що протікає через резистори R_1 і R_2). Зібрати і дослідити дільник напруг за схемою рис. 1б, що складається з двох постійних резисторів R_1 і R_2 (один із яких визначено в першому експерименті) та резистора навантаження R_n .

Зібрати і дослідити дільник напруг за схемою рис. 3а, що складається з двох постійних резисторів R_1 і R_2 (один із яких визначено в першому експерименті) та резистора навантаження R_n . Зробити заміри амплітудних значень $U_{вх}$, $U_{вих}$ і I_{R1} , I_{R2} і I_{Rn} (де I_{R1} , I_{R2} і I_{Rn} – струми, що протікають через відповідні резистори).

Завдання виконується згідно з варіантом із табл. 1.

Інструментальні засоби пакета EWB дозволяють проводити побудову електронних схем, дослідження (моделювання) їх роботи як у статичних так і динамічних режимах із застосуванням вимірювальних приладів (таких, як: універсальний генератор сигналів різної форми, осцилограф, вимірник частотних характеристик (плоттер), мультиметр, вольтметр, амперметр), а також джерел напруги і струму, зміни статичних і динамічних параметрів, частотних і часових характеристик досліджуваних схем (таких, як амплітудні значення струмів і напругу різ них точках досліджуваних схем, частота і період проходження вхідних і вихідних сигналів, активна тривалість фронтів і тривалості імпульсів, шпаруватість, амплітудно-частотні характеристики (АЧХ) і фазочастотні характеристики (ФЧХ)).


Порядок проведення роботи для розробки принципової електричної схеми. Запустіть Electronics Workbench. Підготуйте новий файл для роботи. Для цього необхідно виконати такі операції з меню: File/New і File/Save as. При виконанні операції Save as буде необхідно вказати ім'я файлу і каталог, в якому буде зберігатися схема. Рекомендується називати схему на прізвище виконавця.

Перенесіть необхідні елементи з заданої викладачем схеми на робочу область Electronics Workbench. Для цього необхідно вибрати розділ на панелі інструментів (Sources, Basic, Diodes, Transistors, Analog Ics, Mixed Ics, Digital Ics, Logic Gates, Digital, Indicators, Controls, Miscellaneous, Instruments), у якому знаходиться потрібний вам елемент, потім перенести його на робочу область.

З'єднайте контакти елементів і розташуйте елементи в робочій області для одержання необхідної вам схеми. Для з'єднання двох контактів необхідно натиснути на один із контактів кнопкою мишки і, не відпускаючи клавішу, довести курсор до другого контакту. У разі потреби можна використовувати додаткові вузли (розгалуження). Натисканням на елементі правою кнопкою мишки можна одержати швидкий доступ до найпростіших операцій, таких, як обертання (rotate), розворот (flip), копіювання/вирізання (copy/cut), вставка (paste).

Проставте необхідні номінали і властивості кожному елементу схеми. Для цього потрібно двічі натиснути мишкою на зображення елемента. Перед зміною параметрів слід відключати джерела живлення схеми, інакше можна отримати невірні результати.

Виберіть на панелі інструментів у нижньому рядку піктограму з накресленням елемента живлення. Якщо до неї підвести мишку, то відобразиться надпис Sources. При натисканні на цей елемент піктограма розкриється. Після чого виберіть елемент живлення та перенесіть його на поле програми.

Виберіть на панелі інструмента піктограму із зображення резистора  та перенесіть два рази зображення цього елемента на робоче поле.

Виберіть із піктограми Instrument два Multimeter та також перенесіть їх на поле монтажу елементів та з'єднайте їх таким чином, як наведено на рис.2.

Для зображення підписів елементів треба виділити елемент (натиснути ліву клавішу мишки). Виділений елемент повинен стати червоного кольору. Навести стрілку курсору на елемент та натиснути праву клавішу мишки. Вибрати підменю Component Properties. У ньому вибрати піктограму з назвою Label. Ввести назву елемента.

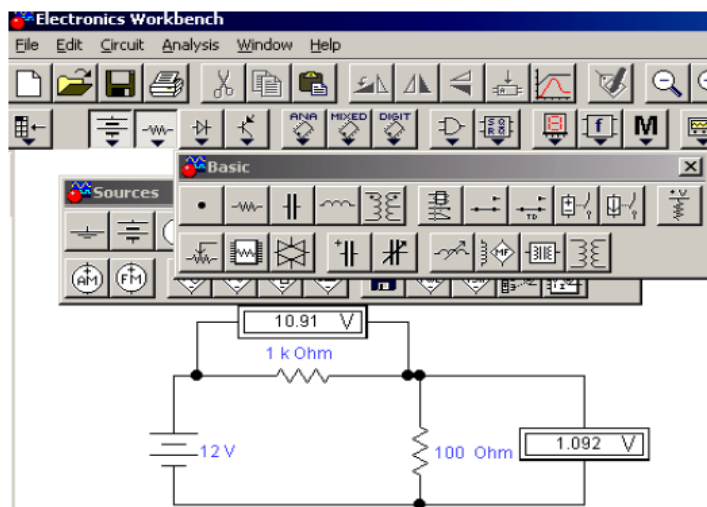


Рис. 2. Схема дослідження дільника напруг

Коли схема зібрана і готова до запуску, натисніть кнопку ввімкнення живлення на панелі інструментів. У разі серйозної помилки в схемі (замикання елемента живлення закоротко, відсутність нульового потенціалу в схемі) буде видане попередження.

Зробіть аналіз схеми, використовуючи інструменти індикації. Виведення терміналу здійснюється подвійним натисканням клавіші мишки на зображення елемента. У разі потреби можна скористатися кнопкою Pause.

При необхідності зробіть доступні аналізи в розділі меню Analysis.

2. Дослідження диференціюючих RC-кіл

Для рис. 1в виконати дослідження диференціюючого RC-кола. Варіанти завдання наведені в табл. 2.

Розрахувати постійні часу $\tau = RC$. Одержати і зобразити осцилограми з виходів елементів R та C .

При виконанні досліджень необхідно пам'ятати величини ємності:

$$1 \text{ Ф} = 10^{-3} \text{ мФ}; 1 \text{ Ф} = 10^{-6} \text{ мкФ}; 1 \text{ Ф} = 10^{-9} \text{ нФ}; 1 \text{ Ф} = 10^{-12} \text{ пФ}.$$

Наприклад, необхідно розрахувати диференціююче RC-коло при таких даних: $f = 10 \text{ кГц}$, $C = ?$, $R = 500 \text{ Ом}$. Для цього необхідно:

Таблиця 2

№ з/п	Частота f , Гц	Амп. $U_{\text{вх}}$	C , F	R , Ом	№ з/п	Частота f , Гц	Амп. $U_{\text{вх}}$	C , F	R , Ом
1	$1 \cdot 10^3$	5	$10 \cdot 10^{-9}$	-	9	$0,5 \cdot 10^3$	10	-	200
2	$0,5 \cdot 10^3$	10	$10 \cdot 10^{-10}$	-	10	$5 \cdot 10^3$	15	-	300
3	$10 \cdot 10^3$	15	$10 \cdot 10^{-10}$	-	11	$10 \cdot 10^3$	20	-	500
4	$20 \cdot 10^3$	20	$10 \cdot 10^{-9}$	-	12	$30 \cdot 10^3$	25	-	$1 \cdot 10^3$
5	$50 \cdot 10^3$	25	$50 \cdot 10^{-8}$	-	13	$50 \cdot 10^3$	30	-	$5 \cdot 10^3$
6	$4 \cdot 10^4$	30	$150 \cdot 10^{-9}$	-	14	$1 \cdot 10^4$	35	-	$10 \cdot 10^3$
7	$5 \cdot 10^4$	40	$75 \cdot 10^{-10}$	-	15	$10 \cdot 10^4$	40	-	750
8	200	10	$10 \cdot 10^{-10}$	-	16	$10 \cdot 10^5$	20	-	150

а) визначити період проходження імпульсів:

$$T = 1/f = 1/10 \times 10^3 = 0,1 \times 10^{-3} \text{ С};$$

б) визначити величину, яка є зворотною шпаруватості $Q = T/t_i$. Ця величина потрібна для установки в програмі EWB з позначкою на генераторі сигналів Duty cycle. Обчислювана величина тільки в цій програмі обчислюється в процентах.

$$1/Q = t_i/T = 50 \%$$

З цього випливає:

$$t_i = (50\%/100\%) \times T = 0,5 \times 0,1 \times 10^{-3} = 0,05 \times 10^{-3} \text{ С.}$$

При $T = 2 \times t_i$ (що еквівалентно величині $1/Q = 50\%$) такий прямокутний сигнал називається меандром;

в) визначаємо постійну часу досліджуваного RC-кола:

$$\tau_i = RC < t_i.$$

Зробимо підстановку в цей вираз:


$$500 \times C < 0,05 \times 10^{-3}.$$

З останньої формули визначаємо C , яка й була необхідна для дослідження RC-кола:

$$C < 0,05 \times 10^{-3} / 5 \times 10^2 = 0,05 \times 10^{-5}.$$

Таким чином, величина ємності C повинна бути набагато меншою, ніж $0,05 \times 10^{-5} = 500 \times 10^{-9}$.

У нашому прикладі можна вибрати $C = 100 \times 10^{-9} = 100 \text{ нФ}$.

При виконанні цього дослідження необхідно вміти користуватися осцилографом та функціональним генератором. Знак функціональних пристроїв вибирається з піктограми, яка розміщується також в останньому рядку вікна програми EWB за кнопкою з зображенням .

Осцилограф (Oscilloscope). Осцилограф має два канали (Channel) А та В з роздільним регулюванням чутливості в діапазоні від 10 мкВ/діл (mV/Div) до 5 кВ/діл (kV/Div) і регулюванням зсуву по вертикалі (Y Position) (рис. 3).

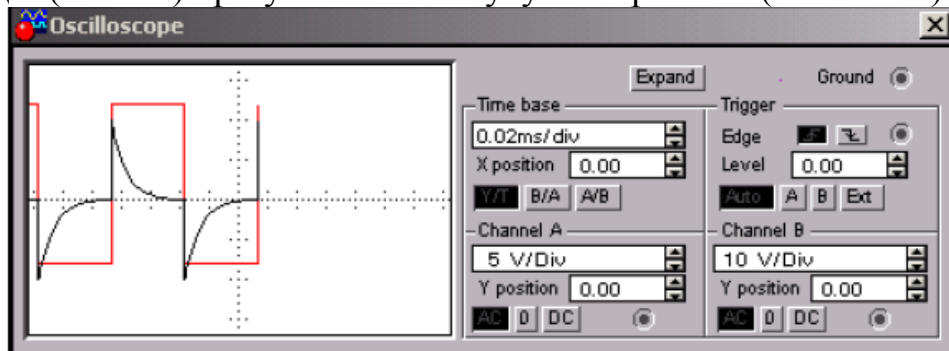



Рис. 3. Лицева панель осцилографа

Вибір режиму по входу здійснюється натисненням кнопок .

Режим АС призначений для спостереження сигналів тільки змінного струму (його називають ще режимом «закритого входу», оскільки в цьому режимі на вході підсилювача включається розділовий конденсатор, який не пропускає постійної складової напруги).


У режимі «0» вхідний сигнал замикається на землю. У режимі DC (включений за замовченням) можна проводити осцилографічні вимірювання як постійного, так і змінного струму. Цей режим ще називають режимом «відкритого входу», оскільки вхідний сигнал надходить на вхід вертикального підсилювача безпосередньо. З правого боку від кнопки DC розташований вхідний затиск.

Режим розгортки вибирається кнопками . У режимі Y/T (звичайний режим, включений за замовчанням) реалізуються такі режими розгортки: по вертикалі – напруга сигналу; по горизонталі – час;

- у режимі B/A: по вертикалі – сигнал каналу B; по горизонталі – сигнал каналу A;

- у режимі A/B: по вертикалі – сигнал каналу A; по горизонталі – сигнал каналу B.

У режимі Y/T тривалість розгортки (Time base) може бути задана в діапазоні від 0,1 нс/діл (ns/div) до 1 с/діл (s/div) з можливістю установки зсуву в тих же одиницях по горизонталі, тобто по осі X (X Position).

У режимі Y/T передбачений також режим очікування (Trigger) із запуском розгортки (Edge) по передньому або задньому фронту сигналу, що запускає (вибирається натисканням кнопок  при регульованому рівні (Level) запуску, а також в режимі Auto (від каналу A або B), від каналу A, від каналу B або від зовнішнього джерела (Ext), що підключається до контакту в блоці управління Trigger.

Названі режими запуску розгортки вибираються кнопками .

Заземлення осцилографа здійснюється за допомогою клеми Ground, яка розташована в правому верхньому кутку приладу.

Якщо при достатньо великій частоті функціонального генератора не вдається на осцилографі зупинити розгортку, а бо коли вона дуже мерехтить, необхідно натиснути кнопку Expand (рис. 4).

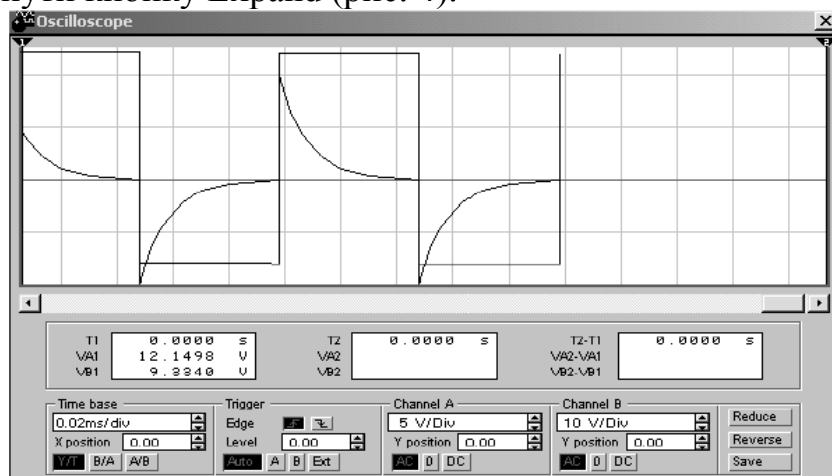


Рис.4. Панель осцилографа в режимі Expand

При натисканні на кнопку Expand лицева панель осцилографа істотно міняється – збільшується розмір екрана, з'являється можливість «прокрутки» зображення по горизонталі і його сканування з допомогою вертикальних візирних ліній (синього і червоного кольору), які за трикутні «вушка» (вони позначені цифрами 1 і 2) можуть бути встановлені курсором у будь-яке місце екрана. При цьому в індикаторних віконцях під екраном наводяться результати вимірювання напруги, тимчасових інтервалів і їх приростів (між візирними лініями).

При натисканні на кнопку Expand лицева панель осцилографа істотно міняється – збільшується розмір екрана, з'являється можливість «прокрутки» зображення по горизонталі і його сканування з допомогою вертикальних візирних

ліній (синього і червоного кольору), які за трикутні “вушка” (вони позначені цифрами 1 і 2) можуть бути встановлені курсором у будь-яке місце екрана. При цьому в індикаторних віконцях під екраном наводяться результати вимірювання напруги, тимчасових інтервалів і їх приростів (між візирними лініями).

Зображення можна інвертувати натисканням кнопки Reverse і записати дані у файл натисканням кнопки Save.

Повернення до початкового стану осцилографа проводиться натисканням кнопки Reduce.

Функціональний генератор (*Function Generator*). Управління генератором здійснюється за допомогою таких органів управління (рис. 5):

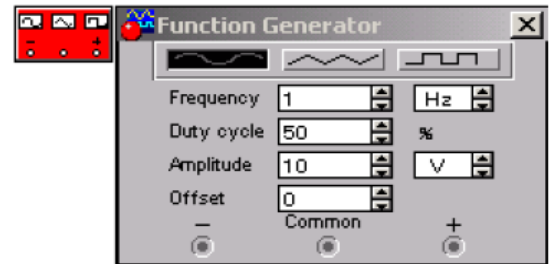


Рис.5. Зовнішній вигляд та лицева панель функціонального генератора


–  вибір форми вихідного сигналу: синусоїдальної (вибір за умовчанням), трикутної і прямокутної;

– Frequency - установка частоти вихідного сигналу};

– Duty cycle - установка коефіцієнта заповнення в %: для імпульсних сигналів це відношення тривалості імпульсу до періоду повторення (величина, зворотна шпаруватості), для трикутних сигналів - співвідношення між тривалістю переднього і заднього фронтів;

– Amplitude - установка амплітуди вихідного сигналу;

– Offset - установка зсуву (постійної складової) вихідного сигналу;

–  вихідні затиски: при заземленні клеми Common (загальний) на клеммах "-" і "+" одержуємо парафазний сигнал.

Порядок з'єднання елементів для дослідження RC-кіл є аналогічним діям, виконаним у підпункті 1.

Одержати і зобразити осцилограми вхідної напруги та вихідної з виходу елемента R у даному кілі. Один з можливих варіантів з'єднання і дослідження диференціюючого RC-кола наведений на рис. 6.

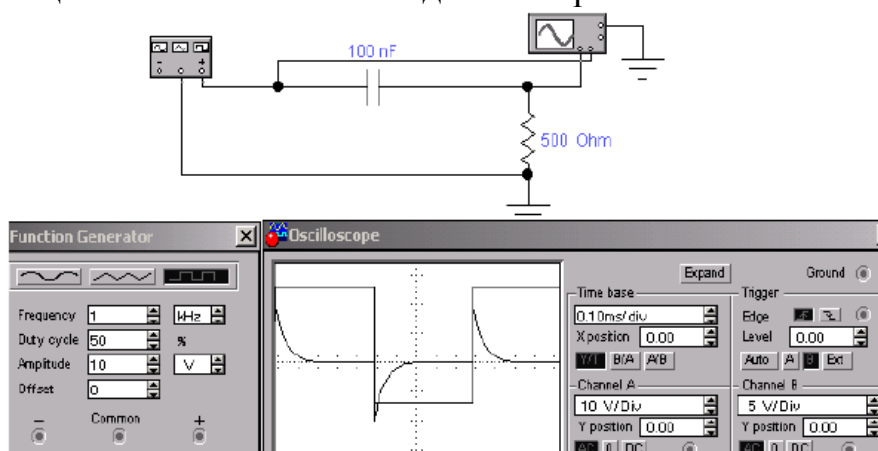


Рис.6. Вікно програми EWB 5.12 зі схемою дослідження диференціюючого RC-кола

3. Дослідження інтегруючих RC-кіл

Розрахунок інтегруючого RC-кола виконується аналогічно, за винятком того, що вихідна напруга знімається з ємності (рис. 12). Виконати розрахунок інтегруючого RC-кола відповідно до варіанта, наведених в табл. 3.

Таблиця 3

№ з/п	Частота f , Гц	Амп. $U_{вх}$	C , F	R , Ом	№ з/п	Частота f , Гц	Амп. $U_{вх}$	C , F	R , Ом
1	50	2	$200 \cdot 10^{-9}$	-	9	50	40	-	200
2	100	5	$100 \cdot 10^{-9}$	-	10	100	50	-	300
3	200	10	$300 \cdot 10^{-9}$	-	11	200	60	-	400
4	300	20	$300 \cdot 10^{-9}$	-	12	300	70	-	500
5	500	25	$100 \cdot 10^{-9}$	-	13	500	1	-	500
6	$1 \cdot 10^3$	30	$50 \cdot 10^{-9}$	-	14	$1 \cdot 10^3$	5	-	600
7	$10 \cdot 10^3$	35	$10 \cdot 10^{-9}$	-	15	$10 \cdot 10^3$	10	-	700
8	$50 \cdot 10^3$	40	$10 \cdot 10^{-9}$	-	16	$50 \cdot 10^3$	20	-	500

Одержати і зобразити осцилограми вхідної напруги та вихідної з виходу елемента C у даному кілі. Один з можливих варіантів з'єднання і дослідження кола наведений на рис. 7.

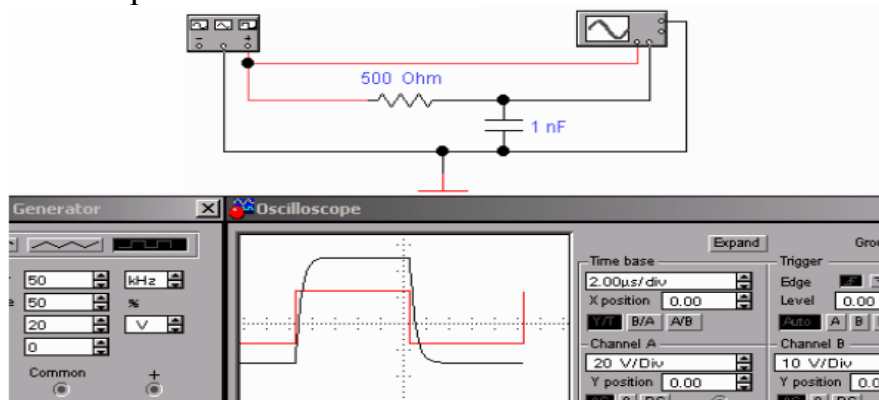


Рис.7. Вікно програми EWB 5.12 зі схемою дослідження інтегруючого RC-кола

Порядок передачі зображення в текстовий редактор Word. Увійти в меню Edit та натиснути кнопку Copy; натиснути на клавіатурі кнопку Print Screen. Для запам'ятовування в буфері зображення активної сторінки в Word необхідно натиснути одночасно дві клавіші Alt та Print Screen. Для видалення непотрібних частин зображення слід скористатися програмою Paint.

4. Контрольні питання

1. Як визначається аналітично і геометрично постійна часу кола і який її фізичний сенс?
2. При виконанні якої умови на RC-колі можливо отримання двох коротких імпульсів?
3. Визначте області застосування диференціюючих і інтегруючих кіл?
4. За яким законом змінюється величина напруги на конденсаторі в RC-колі?
5. Який вплив на вихідну напругу здійснюють паразитні параметри кола?
6. В чому полягає інтегрування електричних сигналів?
7. В чому полягає диференціювання електричних сигналів?
8. Що називається електричним фільтром?

Тема 3. Логічні основи цифрової схемотехніки

Лабораторне заняття №2. Дослідження логічних елементів та логічних функцій

Навчальна мета заняття:

1. Закріплення теоретичного матеріалу, набуття навиків аналізу та синтезу простих логічних пристроїв.
2. Закріплення теоретичного матеріалу, набуття навиків створення і моделювання схем цифрової схемотехніки, робота з різними вимірювальними приладами.

Кількість годин: 4 год

Література:

1. Рябенський В.М. Жуйков В.Я. Ямненко Ю.С. Заграничний А.В. Схемотехніка: Пристрої цифрової електроніки. Київ: 2016, КП. 399 с.
2. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. Харків: НТУ «ХПІ», 2007. 480 с.

Матеріально-технічне забезпечення: комп'ютерна мережа із системою модулювання електронних схем Electronics Workbench.


Навчальні питання:


1. Дослідження логічних схем з допомогою середовища моделювання 12
2. Дослідження функціонування логічних елементів у динамічному режимі роботи 14
3. Контрольні питання 16

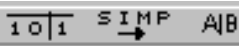
1. Дослідження логічних схем з допомогою середовища моделювання

Відповідно до свого варіанту для логічних схем, наданих на рис.1, аналітично отримати значення логічної функції.

Під'єднати до входів та виходів схеми логічний конвертор та отримати таблицю істинності. Для цього необхідно входи схеми підключити до відповідних входів ЛП, а вихід зв'язати з правою клемою (out). Отримана в результаті перетворення таблиця істинності може бути конвертована в будь-яку іншу форму представлення при використанні кнопок на лицевій панелі ЛП. Схему із приєднаним логічним конвертором наведено на рис. 2 (всі результати досліджень логічної схеми з допомогою конвертора надати в звіті в вигляді скрин-шотів).

Одержати таблицю істинності за допомогою кнопки логічного конвертора з позначенням у вигляді , яка перетворює побудовану схему у таблицю істинності.

Одержати логічний вираз за допомогою кнопки логічного конвертора з позначенням у вигляді .

Провести автоматичне мінімізування отриманої схеми за допомогою кнопки логічного конвертора з позначенням у вигляді .

якщо отримана таблиця не є мінімальною.

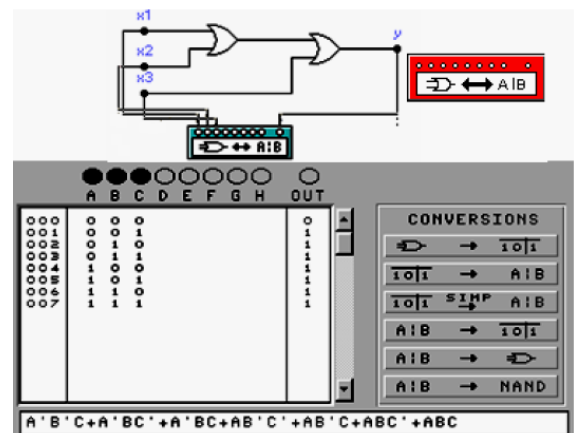



Рис. 2. Логічна схема із конвертором

За допомогою кнопки логічного конвертора у вигляді  одержати таблицю істинності. Дані таблиці істинності будуть новими при успішній мінімізації схеми.

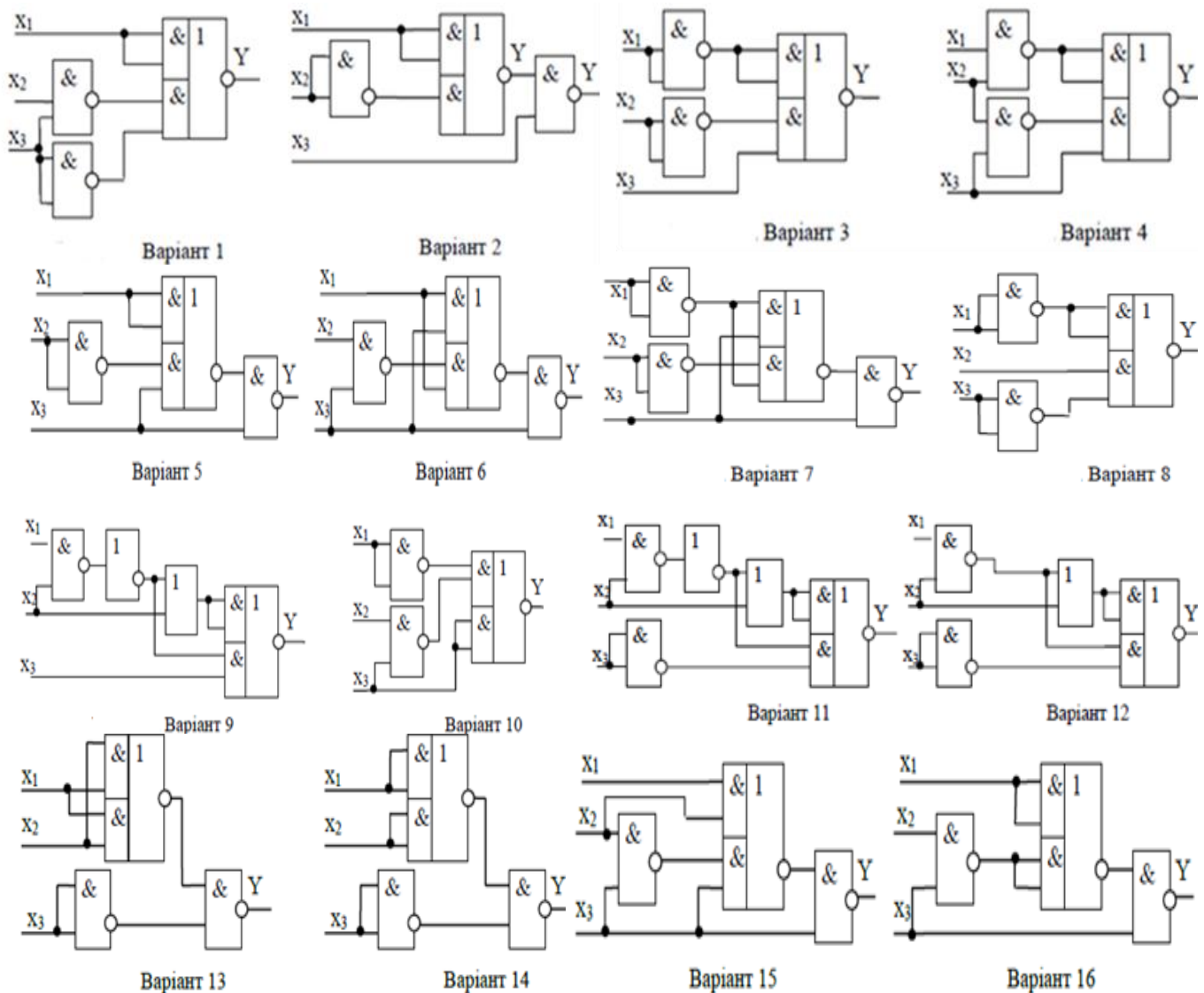
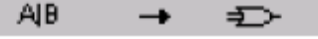
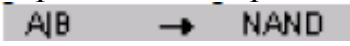



Рис. 1. Варіанти завдань логічних схем

За допомогою кнопки логічного конвертора у вигляді  отримати із логічного виразу нову схему.

Аналітично перетворити значення логічної функції у базис І-НІ та перевірити отриманий вираз за допомогою кнопки логічного конвертора у вигляді  із побудованою схемою в базисі І-НІ.

Під'єднаємо до досліджуваної схеми генератор слів з позначенням у вигляді . Схема логічного пристрою із під'єднаним генератором слів та логічним аналізатором наведена на рис. 3.

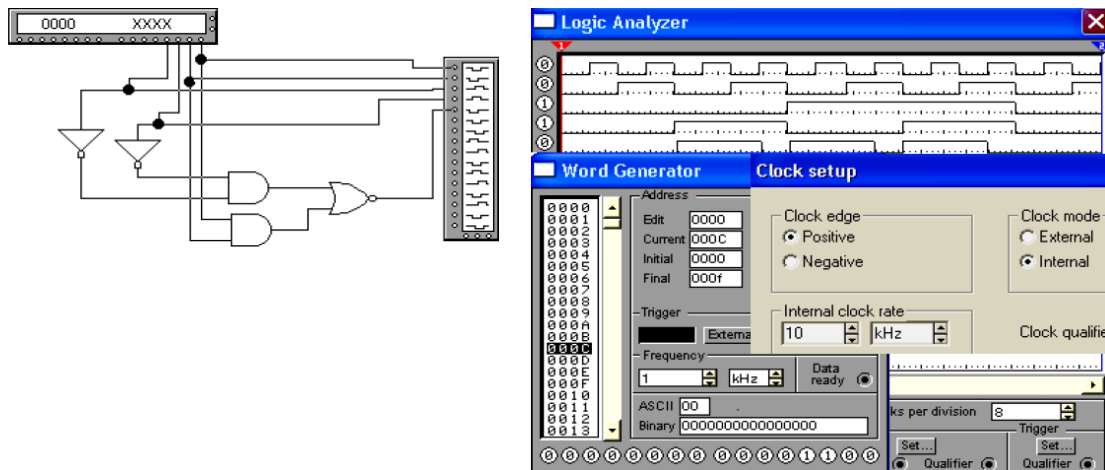


Рис.3. Схема логічної схеми із під'єднаними генератором слів та логічним аналізатором

У генератор слів у 16-річній системі числення необхідно ввести двійкові набори в кількості, значення яких відповідають кількості входів побудованої схеми.

За допомогою логічного аналізатора отримаємо часові діаграми функціонування схеми, які повинні відповідати таблиці істинності.

2. Дослідження функціонування логічних елементів у динамічному режимі роботи

Включити EWB. Вибрати логічний елемент згідно з табл. 4. Для цього необхідно натиснути на піктограму з іменем DIGIT. Із вікна, що з'явилося натисканням на мишку витягнути на робоче поле необхідну серію елементів, наприклад 74xx. Вибрати згідно з варіантом мікросхему та натиснути кнопку Ассерт. Для коректного проведення досліджень елементів з відкритими колекторами необхідно на вихід елемента навантажити резистор $R = 1\text{кОм}$.

Зібрати електричну схему проведення дослідження з отриманим логічним елементом, як наведено на рис. 4. Вибрати в нижньому рядку піктограм піктограму з ім'ям Sources та витягнути на робоче поле зображення заземлення \perp та джерела напруги V_{cc} . Сигнал заземлення під'єднати до контакту GND мікросхеми, а джерело напруги V_{cc} – до контакту V_{cc} мікросхеми.

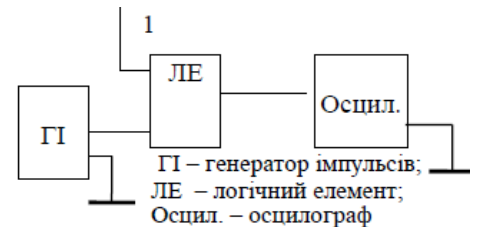


Рис. 4. Схема проведення дослідження елемента 2І-НІ

На один із входів логічного елемента подати сигнал з виходу генератора прямокутних імпульсів, а на останні входи – такі логічні сигнали, які дозволяють провести дослідження зміни сигналу на виході.

На виході генератора прямокутних імпульсів одержати позитивні імпульси з амплітудою $U_{вх} = 4\text{ В}$ та частотою згідно з варіантом із табл. 5.

Занести до звіту схему та результати досліджень згідно з прикладом (рис. 5).

Визначити тривалість фронтів t_F сигналу на виході, час затримки вихідного сигналу та занести результати до звіту. Тривалість імпульсу можливо отримати шляхом підведення лівої червоної вертикальної лінії до початку інтервалу сигналу, який вимірюються, та підведення синьої вертикальної лінії до закінчення інтервалу. В правому нижньому віконці осцилографа відображається необхідний параметр сигналу.

Дослідження впливу ємності навантаження на форму вихідних сигналів.

Таблиця 4

№ з/п	Серія SN74	Вітчизняні MC	Функціональне призначення
1	7400	155ЛА3	4 елементи 2І-НІ
2	7402	155ЛЕ1	4 елементи 2АБО-НІ
3	7403	155ЛА9	4 елементи 2І-НІ з відкритим колектором
4	7408	155ЛІ1	4 елементи 2І
5	7409	155ЛІ2	4 елементи 2І з відкритим колектором
6	7410	155ЛА4	3 елементи 3І-НІ
7	7411	555ЛІ3	3 елементи 3І
8	7412	155ЛА10	3 елементи 3І-НІ з відкритим колектором
9	7420	155ЛА1	2 елементи 4І-НІ
10	7421	155ЛІ6	2 елементи 4І
11	7422	155ЛА7	2 елементи 4І-НІ з відкритим колектором
12	7426	155ЛА11	4 елементи 2І-НІ з відкритим колектором
13	7428	155ЛЕ5	4 елементи 2АБО-НІ
14	7430	155ЛА2	Елемент 8І-НІ
15	7432	155ЛІ1	4 елементи 2АБО
16	7438	155ЛА13	4 елементи 2І-НІ з відкритим колектором

Таблиця 5

№ з/п	Частота f, кГц	№ з/п	Частота f, кГц
1	0,5	9	1
2	1	10	2
3	2	11	3
4	4	12	4
5	5	13	5
6	6	14	6
7	7	15	7
8	8	16	9

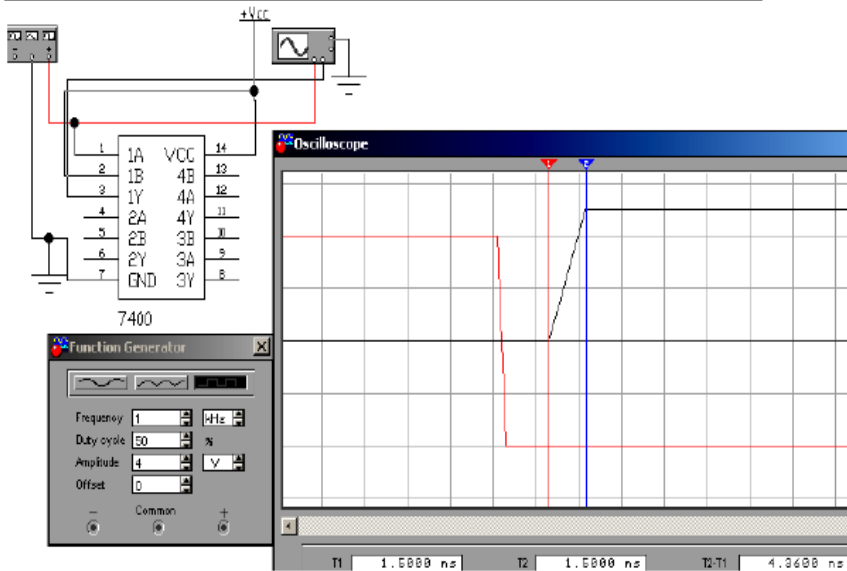


Рис.5. Схема та результати досліджень логічного елемента

Для цього до виходу логічного елемента підключити спочатку ємність C=10пФ. Навести схему, таблицю та графіки фронтів та спадів вихідного сигналу в залежності від різних ємностей. Схема дослідження та діаграми наведені на рис. 6.

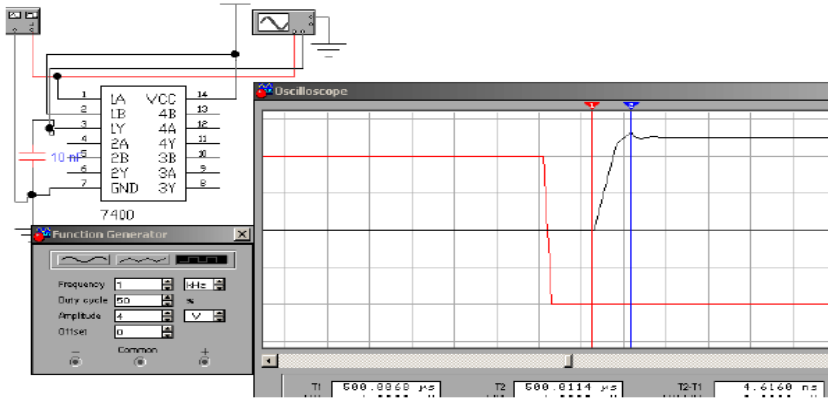


Рис.6. Схема та результати досліджень з ємністю C = 10 пФ

3. Контрольні питання

1. Що таке логічна функція?
2. Які існують способи подання логічних функцій?
3. Назвіть основні аксіоми та закони алгебри логіки.
4. Що називають функціонально повною системою логічних функцій?
5. Що таке кон'юнктивна та диз'юнктивна нормальні форми подання логічних функцій?
6. Коли КНФ та ДНФ вважаються досконалими?

Тема 5. Схемотехніка цифрових елементів

Лабораторне заняття №3. Дослідження функціонування тригерів

Навчальна мета заняття:

1. Закріплення теоретичного матеріалу, набуття навиків аналізу і синтезу основних схем тригерів.
2. Набуття навиків створення і моделювання схем цифрової схемотехніки, робота з різними вимірювальними приладами.

Кількість годин: 2 год.

Література:

1. Рябенський В.М. Жуйков В.Я. Ямненко Ю.С. Заграничний А.В. Схемотехніка: Пристрої цифрової електроніки. Київ: 2016, КПІ. 399 с.
2. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. Харків: НТУ «ХПІ», 2007. 480 с.

Матеріально-технічне забезпечення: комп'ютерна мережа із системою модулювання електронних схем Electronics Workbench.

Навчальні питання

1. АНАЛІЗ ФУНКЦІОНУВАННЯ RS-ТРИГЕРІВ 16
2. АНАЛІЗ ФУНКЦІОНУВАННЯ JK-ТРИГЕРІВ 19
3. АНАЛІЗ ФУНКЦІОНУВАННЯ T-ТРИГЕРІВ 20
4. ДОСЛІДЖЕННЯ РОБОТИ ТРИГЕРІВ У СТАТИЧНОМУ РЕЖИМІ 20
5. КОНТРОЛЬНІ ПИТАННЯ 21

1. Аналіз функціонування RS-тригерів

Завдання 1. Побудувати структурну схему, таблицю станів, характеристичні рівняння тригера для асинхронного RS-тригера, виготовленого на логічних елементах 2АБО-НІ.

Таблиця 1

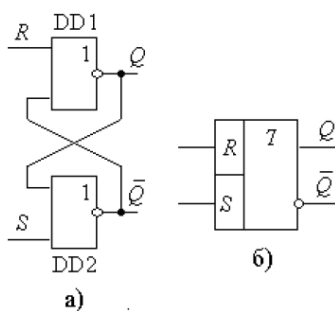


Рис. 1

Схема RS-тригера, зібраного на логічних елементах 2АБО-НІ, приведена на рис. 1,а, а його умовне позначення на рис. 1,б. Стан тригера часто ототожнюється з сигналом на прямому виході Q.

Повна таблиця станів RS-тригера (табл. 1) описує особливості його роботи. Звернемо увагу на те, що при $S_n=R_n=1$, незалежно від Q_n , стан виходів тригера є невизначеним.

R_n	S_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	x
1	1	1	x

Дійсно, якщо подати на обидва входи таку комбінацію сигналів, то на обох виходах з'являться логічні нулі ($Q_{n+1}=\bar{Q}_{n+1}=0$). Але якщо ці сигнали одночасно зняти,

задавши $Q_{n+1}=R_{n+1}=0$, то стан виходів буде невизначеним. Це пов'язано з тим, що після зняття сигналів у кожному з логічних елементів буде протікати перехідний процес зміни станів, і результат його залежатиме від швидкодії елементів. Остання є величиною невизначеною. Тому розглянута комбінація входних сигналів називається *невизначеною комбінацією*, а перехід від такої комбінації до нульової – *забороненим переходом*. Фактично це означає, що при проектуванні цифрових пристроїв необхідно приймати міри для виключення подібних ситуацій.

Представивши табл. 1 у формі карти Карно (рис. 2), помічаємо наступну особливість логічної функції: при значеннях $S_n = R_n = 0$ маємо $Q_{n+1} = Q_n$, а для решти комбінацій входів значення виходу Q_{n+1} не залежить від значення Q_n . Це дає можливість мінімізувати табл. 1 (див. табл. 2) та одержати характеристичне рівняння тригера. Перетворюючи ці рівняння в базиси логічних функцій І-НІ. Цим рівнянням відповідає схема рис. 3. Перше з них виконане на DD1, а друге на DD2. Цей тригер працює в інверсних кодах.

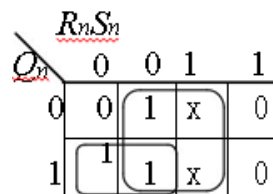


Рис. 2

Таблиця 2

R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	x

$$Q_{n+1} = S_n + Q_n \cdot \bar{R}_n;$$

$$\bar{Q}_{n+1} = R_n + \bar{Q}_n \cdot \bar{S}_n.$$

$$Q_{n+1} = \overline{\bar{S}_n \cdot (Q_n \cdot \bar{R}_n)};$$

$$\bar{Q}_{n+1} = \overline{\bar{R}_n \cdot (\bar{Q}_n \cdot \bar{S}_n)}.$$

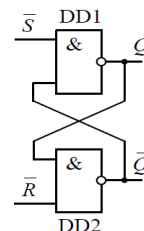


Рис. 3

Завдання 2. Побудувати таблицю станів для асинхронного RS-тригера, виготовленого на логічних елементах 2І-НІ (рис. 3), а також часові

діаграми сигналів на входах і виходах при різних їх співвідношеннях.

Таблиця 3

\bar{S}_n	\bar{R}_n	Q_{n+1}
0	0	x
0	1	1
1	0	0
1	1	Q_n

Таблиця станів будується або на основі табл. 2, або на основі характеристичних рівнянь тригера і має вигляд табл. 3. Високі рівні входних сигналів не змінюють стану тригера, а низькі рівні одночасно на двох входах є забороненими для тригера, виготовленого на логічних елементах 2І-НІ. Установка (запис інформації) забезпечується низьким рівнем по входу \bar{S} , а обнуління – відповідно, низьким рівнем по входу \bar{R} . Часові діаграми, що пояснюють роботу тригера, приведені на рис. 4.

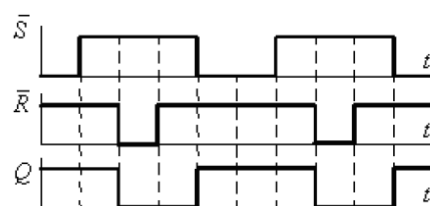


Рис. 4. Часові діаграми

Зміна станів тригерних схем при подачі різних послідовностей входних сигналів зображується за допомогою графа переходів (рис. 5).

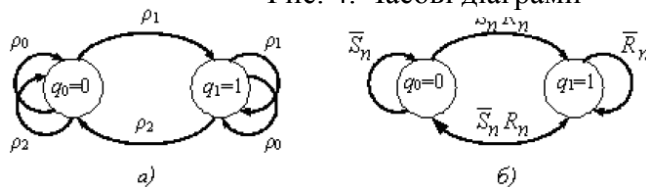


Рис. 5. Граф переходів

Розглянемо детальніше особливості побудови графа переходів тригера. Виходячи з таблиці станів, можемо розглядати тригер як пристрій з одним виходом Q (Q_{n+1}), оскільки другий вихід \bar{Q} (\bar{Q}_{n+1}) є лише інверсією першого.

Вихід Q може приймати два значення. Позначимо їх $q_0 = 0$ і $q_1 = 1$ як дві вершини графа. Вектор впливаючих сигналів позначимо буквою ρ . Він може приймати, у відповідності до табл. 2, значення $\rho_0 = \bar{S}_n \bar{R}_n$, $\rho_1 = S_n \bar{R}_n$, $\rho_2 = \bar{S}_n R_n$,

вектор ρ_0 не може змінювати стани тригера. Таку особливість на граф-схемі (рис. 5,а) зобразимо у вигляді дуги, що виходить з вершин і замикається на них. Вектор ρ_1 переводить тригер у стан $q_1 = 1$ і на граф-схемі зображується у вигляді дуги, що виходить з вершини q_0 і закінчується в q_1 . Якщо тригер знаходиться в стані q_1 , то впливаючий сигнал ρ_1 не змінить стану тригера. На граф-схемі це дуга, що замикається на стані q_1 . Аналогічно, впливаючий сигнал ρ_2 переводить тригер зі стану q_1 в q_0 , а в стані q_0 не впливає на нього. Оскільки перехід з q_1 в q_1 забезпечується двома сигналами з однаковим результатом, то поєднаємо їх як:

$$\rho_{01} = \rho_1 + \rho_0 = S_n \overline{R_n} + \overline{S_n} \overline{R_n} = \overline{R_n}.$$

Аналогічно маємо:

$$\rho_{02} = \rho_0 + \rho_2 = \overline{S_n} \overline{R_n} + \overline{S_n} R_n = \overline{S_n}.$$

В результаті граф-схема переходів RS-тригера прийме вигляд рис. 5,б.

Графи переходів відповідають часовим діаграмам, що ілюструють роботу тригера у часі. Крім того, часові діаграми дають більш детальну характеристику перехідним процесам у схемі.

На рис. 6 наведені часові діаграми роботи тригера, схему якого зображено на рис. 1,а. Елементи тригера перемикаються послідовно. Запуск тригера відбувається за фронтом вхідного сигналу S у момент часу, коли його значення досягне порогового рівня спрацьовування логічного елемента DD2. Вихідний стан $\overline{Q} = 1$ логічного елемента DD2 змінюється, і в момент часу, коли потенційний рівень спаду сигналу \overline{Q} зменшиться до рівня порогової напруги елемента DD1, останній починає перемикатись. На рис. 6 послідовність перемикання показана стрілками.

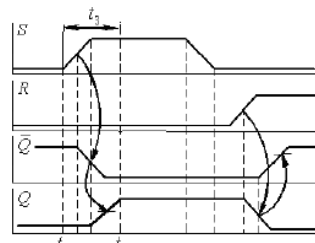


Рис. 6

Інтервал часу перемикання визначається з моменту t_1 початку дії сигналу S до моменту t_2 – завершення перемикання логічного елемента DD1. Цей інтервал часу t_3 , що зветься *часом затримки на перемикання*, дає можливість оцінити мінімальну тривалість вхідних сигналів, при якій гарантовано будуть змінюватися стани тригера.

З опису процесу перемикання витікає, що t_3 тригера визначається сумою часових затримок двох базових логічних елементів, на яких він виготовлений. У довідковій літературі для кожного тригера приводиться таблиця станів, аналіз якої дозволяє визначити всі режими роботи пристрою.

Завдання 3. Пояснити особливості роботи RS-тригера K564TP2 (аналоги провідних західних фірм-виробників – 4043BDC, CD4043AD, MC14043BAL, MN4043B, MSM4043B, SCB4043B, TC4043BP), таблиця станів якого додається (табл. 5.).

Таблиця 5

S_n	R_n	V	Q_{n+1}
0	0	1	Q_n
0	1	1	0
1	x	1	1
x	x	0	Z

У мікросхемі K564TP2 дозволяючий вхід V повинен мати високий рівень потенціалу для забезпечення робочого режиму схеми. При $V = 0$ вихід Q переходить у високоомний стан. Тригер виготовлений з використанням логічних елементів 2АБО-НІ і має лише один прямий вихід, оскільки при $S_n = R_n = V = 1$ значення $Q_{n+1} = 1$ перебуває у

незабороненому стані. При наявності двох виходів сигнали на їх виходах були б однаковими, що оцінювалося б як невизначеність.

RS-тригери у багатьох випадках використовуються як самостійні пристрої в тих ситуаціях, коли одним сигналом необхідно встановити якусь умову, а іншим – її зняти. Таке їх використання передбачається у контролерах і мікроконтролерах у складі регістрів ознак. Здебільшого *RS*-тригери використовуються у складі більш складних схем тригерів, модулів пам'яті. Вони знаходять широке використання в пристроях електронної автоматики.

Завдання 4. Дати пояснення особливості роботи *D*-тригера K561TM2 (аналоги західних фірм-виробників – 4013BDM, CD4013AD) за допомогою таблиці станів (табл. 6).

Виходячи з перших двох рядків таблиці, бачимо, що маємо справу з динамічним тригером, який в синхронному режимі за фронтом синхроімпульсу забезпечує запис інформації з *D*-входу.

Таблиця 6

S_n	R_n	C	D_n	Q_{n+1}
0	0	1	0	0
0	0	1	1	1
0	0	1	x	Q_n
0	1	x	x	0
1	0	x	x	1
1	1	x	x	$Q = \bar{Q}$

Третій рядок інформує про те, що за спадом синхроімпульсу тригер на значення *D*-входу не реагує. Четвертий і п'ятий рядки характеризують режим роботи асинхронного *RS*-тригера, виготовленого на ЛЕ 2АБО-НІ. Шостий рядок – заборонений асинхронний режим. Для роботи пристрою в режимі *D*-тригера асинхронні входи *S* і *R* необхідно заземлити.

2. Аналіз функціонування *JK*-тригерів

Завдання 5. Для *JK*-тригера, схема якого наведена на рис. 7, при початкових умовах $J = K = Q_1 = Q_2 = 0$ задається наступна послідовність входніх сигналів (рис. 8). Необхідно побудувати часові діаграми на виходах Q_1 , Q_2 тригера в інтервали часу, протягом яких були подані чотири синхросигнали *C*. У момент часу t_1 сигнал на вході *J* переходить з низького рівня в високий. Через інтервал часу t_2 , який повинен бути достатнім для усталення перехідних процесів на *J*-вході, подається сигнал *C*. Оскільки на вході DD1 в цей час маємо два сигнали високого рівня *J* і \bar{Q}_2 , то на виході DD1 сигнал \bar{S}_1 прийме низький рівень, в той час як вихід \bar{R}_1 ЛЕ DD2 матиме високий рівень логічного сигналу. Таке співвідношення сигналів \bar{S}_1 і \bar{R}_1 приведе до появи на виході Q_1 сигналу високого рівня.

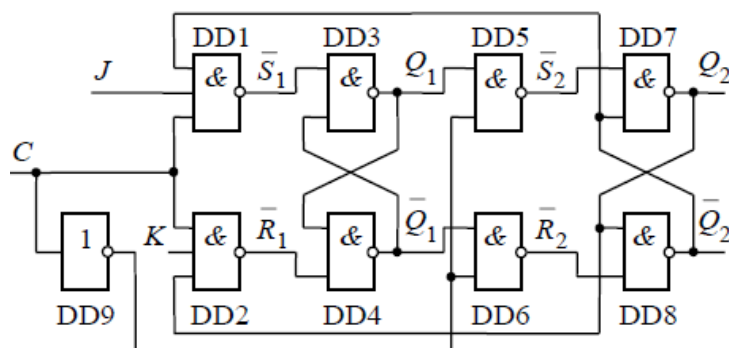


Рис. 7. Двотактний *JK*-тригер

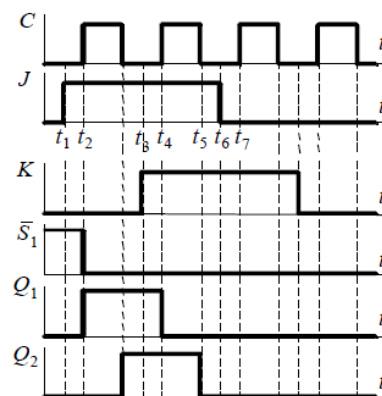


Рис. 8. Часові діаграми *JK*-тригера

Вказане розподілення рівнів напруг залишатиметься протягом часу тривалості синхроімпульсу. При спаді синхроімпульсу на виході DD9 з'явиться високий рівень сигналу, який призведе до зміни стану DD5 і, відповідно, перезапису сигналу Q_1 на

вихід Q_2 . У момент t_3 з'являється сигнал високого рівня на вході K . На цей час $Q_2 = 1$ і, відповідно, при $K = 1$, $Q_2 = 1$ поява в t_4 другого синхроімппульсу приведе до зміни стану DD2, \bar{R}_1 стане рівним нулю і, відповідно, $\bar{Q}_1 = 1$, $Q_1 = 0$. За спадом другого синхроімппульсу низький рівень перезапишеться на вихід Q_2 . У подальшому, при дії синхроімппульсів рівні сигналів не змінюються.

3. Аналіз функціонування Т-тригерів

Завдання 6. Провести аналіз роботи Т-тригерів відповідно до таблиці істинності.

До тригерів Т-типу, як вказувалось раніше, відносяться такі схеми, які за сигналом на Т-вході переключаються у протилежний стан. Це зазвичай тригери з динамічним Т-входом або з динамічним С-входом і статичним Т-входом.

У зв'язку з тим, що вони легко можуть бути організовані на базі динамічних D- або JK-тригерів, як самостійні мікросхеми Т-тригери не виготовляються.

У зв'язку з їх широким використанням в лічильниках імпульсів, Т-тригери з динамічним Т-входом часто називаються тригерами з лічильним входом, або лічильними тригерами. В залежності від характеру дії Т-динамічного входу, вони поділяються на Т-тригери, які спрацьовують за фронтом Т-імпульсу, та \bar{T} -тригери, що спрацьовують за різом Т-імпульсу.

У табл. 6 приведений перелік можливих станів обох типів тригерів. З таблиці витікає, що у Т-тригерах, на відміну від раніше розглянутих схем, стан виходу Q_{n+1} залежить не від значень інформаційних сигналів, а визначається тільки їх станом у попередньому такті. Рівняння роботи асинхронного та синхронного Т-тригерів має вигляд:

$$Q_{n+1} = Q_n \bar{T}_n + \bar{Q}_n T_n, \quad Q_{n+1} = (Q_n \bar{T} + \bar{Q}_n T) C + \bar{C} Q_n.$$

Т-тригер легко можна одержати з JK- або D-тригерів. На рис. 9 приводяться приклади створення схем Т-тригерів. Варіанти взаємних перетворень тригерів, приведені на рис. 9 розкривають велику гнучкість і широкі можливості різноманітних тригерних схем.

4. Дослідження роботи тригерів у статичному режимі

Зібрати схему тригера на логічних елементах І, АБО, НІ згідно з варіантом (табл. 7) у пакеті EWB 5.12 та провести його дослідження.

Таблиця 7

Т-тригер		\bar{T} -тригер	
T_n	Q_n	T_n	Q_n
0	Q_n	0	Q_n
1	\bar{Q}_n	1	Q_n
1	Q_n	1	\bar{Q}_n
1	Q_n	1	Q_n

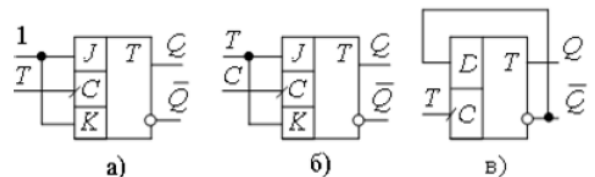


Рис. 9. Схеми Т-тригерів

Таблиця 1

№	Завдання	№	Завдання
1	RS-тригер одноктактний асинхронний	9	D-тригер двотактний синхронний
2	T-одноктактний асинхронний	10	DV-тригер одноктактний синхронний
3	JK-тригер	11	RS-тригер одноктактний синхронний
4	D-тригер одноктактний синхронний	12	T-одноктактний синхронний
5	TV-тригер одноктактний асинхронний	13	D-одноктактний синхронний
6	DV-тригер двотактний синхронний	14	T-двотактний синхронний
7	RS-тригер двотактний синхронний	15	T-двотактний асинхронний
8	TV-двотактний синхронний		

У зв'язку з тим, що програма EWB програмно емулює функціонування дискретних логічних елементів, то при дослідженні тригерів вона вносить деякі помилки – робить самозбудження тригерів. Тому доцільно використати дискретні логічні елементи, які виконані у вигляді закінчених мікросхем, наприклад, на МС 7400 (4 елементи 2І-НІ).

Наприклад, структурна схема D-тригера на основі 4 логічних елементів 2І-НІ наведена на рис. 10, а її реалізація на основі МС 7400 наведена на рис. 11. При дослідженні такого тригера доцільно не використовувати початковий стан генератора слів, який дорівнює 0000, тому що програма EWB також самозбуджується. Тому початковий стан взято 0002.

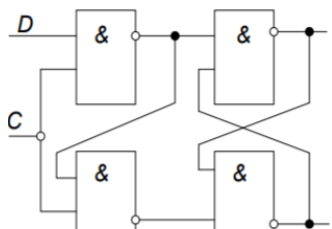


Рис. 10. Структурна схема D-тригера на основі 4 логічних елементів 2І-НІ

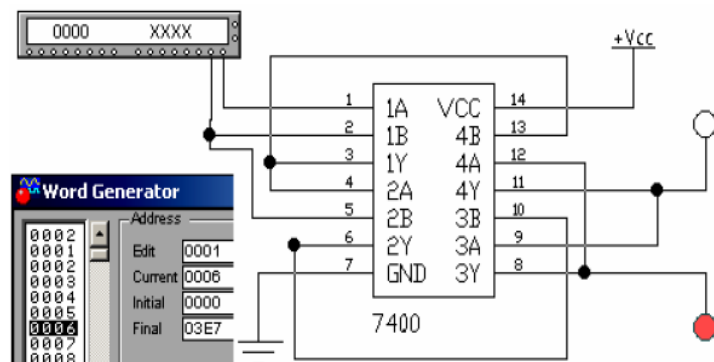


Рис. 11. Схема дослідження D-тригера в статичному режимі

Умовно-логічне позначення, таблиця істинності D-тригера та часові діаграми роботи надано на рис. 12.

5. Контрольні питання

1. Які типи тригерів ви знаєте та чим обумовлено їх різноманіття?

2. Наведіть функціональне призначення кожного з тригерів.

3. Приведіть таблиці виходів тригерів та рівняння їх функціонування.

4. Обґрунтуйте використання V-входів у тригерах.

5. Поясніть, чому на практиці не використовуються одноктактні JK-тригери?

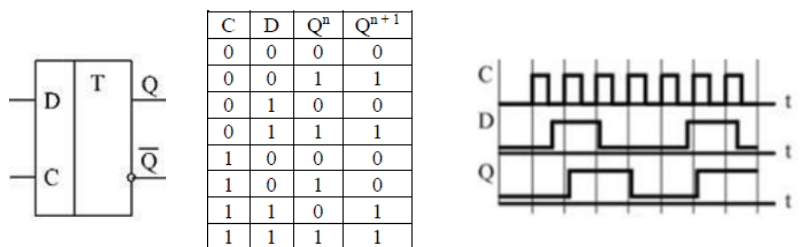


Рис.12. УГО, таблиця істинності та часові діаграми D-тригера

6. Чим відрізняється динамічне управління тригерів від статичного?
7. Чи можна визначити заборонені комбінації входних сигналів для RS - тригерів?
8. За яких умов можлива генерація в асинхронному RS-тригері?
9. Чим відрізняється синхронний RS-тригер від асинхронного?
10. Як слід змінити схему синхронного RS-тригера на елементах І-НІ, щоб організувати додатково асинхронні входи S і R?
11. Яка тривалість інтервалу прийому інформації в динамічному тригері і в двохступеневому тригері?

Тема 6. Комбінаційні цифрові вузли

Лабораторне заняття №4. Дослідження функціонування шифраторів, дешифраторів, мультиплексорів, демультимплексорів

Навчальна мета заняття:

1. Закріплення теоретичного матеріалу, набуття навиків аналізу і синтезу основних типових комбінаційних цифрових вузлів.
2. Набуття навиків створення і моделювання схем цифрової схемотехніки, робота з різними вимірювальними приладами.

Кількість годин: 4 год.

Література:

1. Рябенський В.М. Жуйков В.Я. Ямненко Ю.С. Заграничний А.В. Схемотехніка: Пристрої цифрової електроніки. Київ: 2016, КП. 399 с.
2. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. Харків: НТУ «ХПІ», 2007. 480 с.

Матеріально-технічне забезпечення: комп'ютерна мережа із системою модулювання електронних схем Electronics Workbench.

Навчальні питання

1. Побудова ДЕШИФРАТОРІВ ТА ШИФРАТОРІВ..... 22
2. ДОСЛІДЖЕННЯ ФУНКЦІОНУВАННЯ МУЛЬТИПЛЕКСОРІВ, ДЕШИФРАТОРІВ..... 24
3. КОНТРОЛЬНІ ПИТАННЯ 28

1. Побудова дешифраторів та шифраторів

Завдання 1. Побудувати структурну схему повного шифратора на 4х2 у базисі І-НІ.

Побудувати структурну схему повного шифратора на 4х2 у базисі І-НІ.

Повний двійковий шифратор має n виходів і 2^n входів, де n - розрядність двійкового входу. збудженого розряду унітарного коду. З метою розв'язання цієї задачі складемо таблицю істинності (відповідності) між входним 4-розрядним унітарним кодом $\{x_3, x_2, x_1, x_0\}$ та вихідним 2-розрядним кодом $\{y_1, y_0\}$ (табл. 1).

Таблиця 1

x_3	x_2	x_1	x_0	y_1	y_0
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Кожен з розрядів вихідного двійкового коду y_1, y_0 будемо розглядати як перемикальну функцію, яка залежить від вхідних змінних, тобто $y_i = f_i(x_3, x_2, x_1, x_0)$. Записуючи її в ВДНФ, одержимо

$$y_1 = \overline{x_3} \overline{x_2} x_1 x_0 \vee x_3 \overline{x_2} x_1 x_0 = K_2(v) \vee K_3(v),$$

$$y_0 = \overline{x_3} x_2 \overline{x_1} \overline{x_0} \vee \overline{x_3} x_2 x_1 \overline{x_0} = K_1(v) \vee K_3(v).$$

Тому що відповідно до умови задачі водночас може бути збудженим тільки один із входів, наприклад $x_3 = 1$, то достовірно відомо, що $\overline{x_2} = \overline{x_1} = \overline{x_0} = 1$. Це означає, що $K_3(v) = x_3 \overline{x_2} \overline{x_1} \overline{x_0} = x_3$. Розповсюджуючи ці твердження і до інших конституент 1, що входять у попередні вирази, можемо записати:

$$y_1 = x_3 \vee x_2 = \overline{x_3} x_2,$$

$$y_0 = x_3 \vee x_1 = \overline{x_3} x_1.$$

Схема шифратора, що реалізує ці вирази, та її умовне графічне позначення зображені на рис. 1.

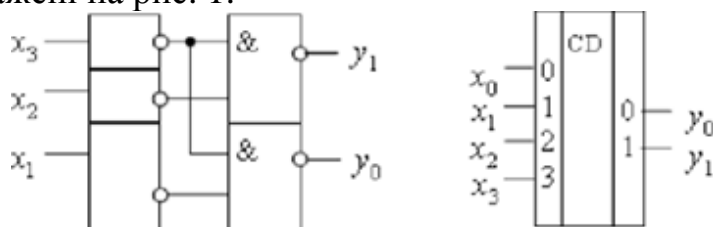


Рис. 1. Шифратор 4x2 та його умовне графічне позначення

Завдання 2. Побудувати двохступінчатий п'ятирозрядний дешифратор на базі трьохрозрядних дешифраторів.

П'ятирозрядний дешифратор повинен мати $2^5 = 32$ виходів. Розділимо п'ять розрядів на молодші x_2, x_1, x_0 і старші x_4, x_3 . Тоді молодші можна подати на входи чотирьох 3-розрядних дешифраторів другого каскаду і сформувати $8 \cdot 4 = 32$ виходу. Використовуючи входи дозволу EN, можна вибирати один з чотирьох дешифраторів другого каскаду, на якому повинен сформуватися одиничний сигнал. Для цього старші два розряди подаємо на входи керуючого дешифратора першого каскаду, а його виходи підключимо до входів дозволу EN дешифраторів першого каскаду (рис.2).

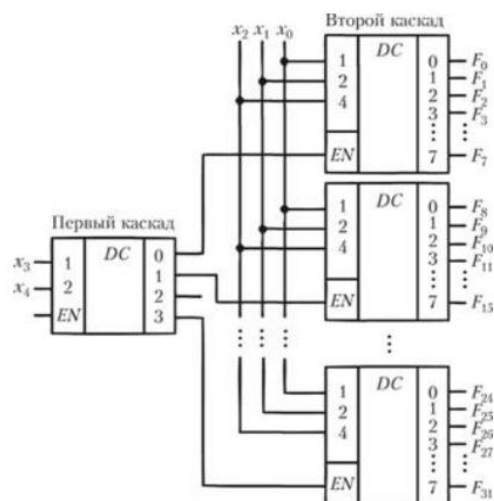


Рис. 2. Схема нарощування розмірності дешифратора

Нехай, наприклад, вхідний код дорівнює $11011 = 27_{10}$. Так як старші розряди – "11", то керуючий дешифратор дозволить роботу 4-го дешифратора другого каскаду. При цьому на виходах перших трьох дешифраторів будуть нулі, а на виході "3" четвертого дешифратора, тобто F_{27} буде логічна одиниця.

Дешифратор широко застосовуються в системах управління технологічними процесами. Багато виконавчі пристрої, такі, як електродвигун, виконавчий механізм на основі електромагніту, можуть управлятися всього двома командами: "включити" і "вимкнути". При цьому команді "включити" зручно зіставити логічну "1", а команді "вимкнути" – логічний "0". Для управління такими пристроями

використовують унітарні коди, в яких кожен розряд жорстко пов'язаний з певним пристроєм. Кількість керованих пристроїв може складати кілька десятків, і дешифратор повинен мати відповідне число виходів.

Завдання 3. Побудувати мультиплексор 8 в 1, який передає інформацію з одного із восьми входів на один вихід.

У реальні схеми мультиплексорів вводять керуючі дешифратори, число виходів яких дорівнює числу інформаційних входів. Вихідний сигнал дешифратора (логічна 1) включає відповідний логічний елемент І, причому в будь-який момент часу може бути відкритий тільки один логічний елемент.

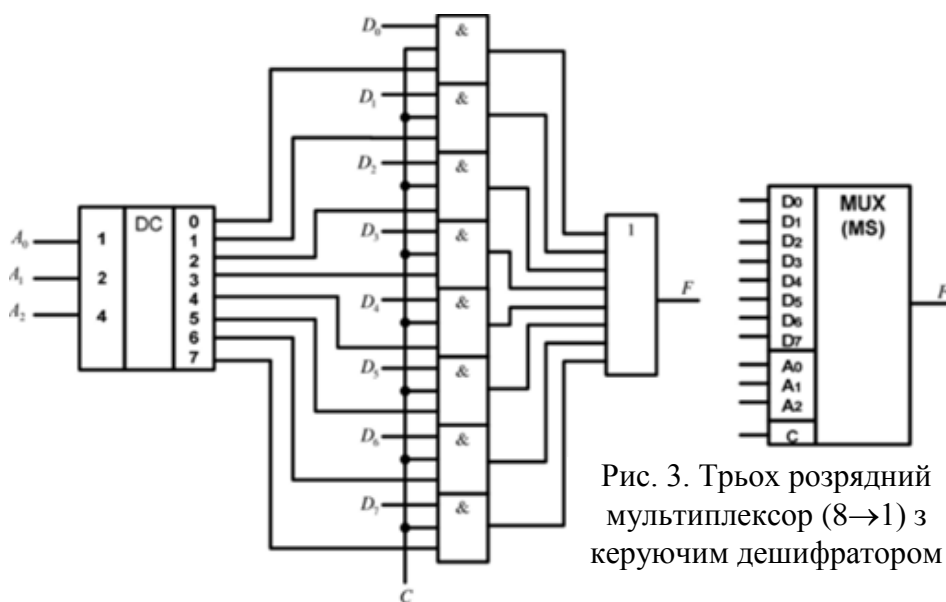


Рис. 3. Трьох розрядний мультиплексор (8→1) з керуючим дешифратором

При необхідності в схему мультиплексора може бути введений тактовий сигнал С. Варіант схеми 3-х розрядного мультиплексора (8 в 1) з керуючим дешифратором і його УГО наведені на рис. 3.

Завдання 4. Побудувати демультиплексор для передавання з одного вхідного каналу в один з чотирьох каналів-приймачів «із 1 в 4».

Демультиплексором називається функціональний вузол комп'ютера, призначений для комутації (перемикання) сигналу з одного інформаційного входу D на один з n інформаційних виходів. Номер виходу, на який в кожний такт машинного часу передається значення вхідного сигналу, визначається адресним кодом A0, A1, A2, ..., Am-1. Адресні входи m та інформаційні входи n пов'язані співвідношенням $n=2^m$ або $m=\log_2 n$. На рис. 4 наведені функціональна схема (а) та умовне позначення (б) демультиплексора «із 1 в 4».

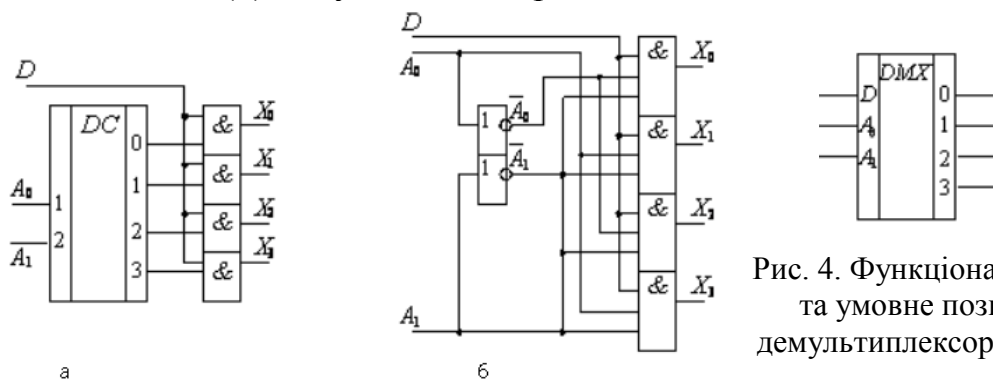


Рис. 4. Функціональна схема та умовне позначення демультиплексора «із 1 в 4»

2. Дослідження функціонування мультиплексорів, дешифраторів

2.1. Дослідження функціонування селектора-мультиплексора.

У відповідності з варіантом (табл. 2) вибрати селектор-мультиплексор.

№ з/п	Серія SN74	Вітчизняні МС	Функціональне призначення
1	7400	K155ЛА3	Побудувати мультиплексор (2→1) на лог. елементах
2	74150	155КП1	Селектор-мультиплексор 16 × 1
3	74151	155КП7	Селектор-мультиплексор 8 × 1
4	74153	155КП2	2 селектора-мультиплексора 4 × 2
5	74157	533КП16	4-розряд. селектор-мультиплексор 2 × 1
6	74158	1533КП18	4-розряд. селектор-мультиплексор 2 × 1 з інвер.
7	74251	155КП15	Селектор-мультиплексор 8 × 1 з 3-ма станами
8	74253	155КП12	2 селектора-мультиплексора 4 × 1 з 3-ма станами
9	74257	155КП11	4 селектора-мультиплексора 2 × 1 з 3-ма станами
10	74258	155КП14	4 селект.-мультиплек. 2 × 1 з 3-ма станами та інвер.
11	74298	155КП13	4 2-входових мультиплексора з запам'ятанням
12	74352		2 Здвоєний MUX 4 × 1 з прямими виходами
13	74353	555КП17	2 Здвоєний MUX 4 × 1 з інвер. та 3-ма станами вих.
14	74157	533КП16	Побудувати мультиплексор (4 → 1) на 74157
15	7400	K155ЛА3	Побудувати мультиплексор 8→1 на лог. елементах
16	74151	155КП7	Побудувати мультиплексор 16→1 на 74151

У програмі схемотехнічного моделювання аналогових та цифрових радіоелектронних пристроїв Electronics Workbench зібрати електричну схему проведення дослідження з цифровим пристроєм з використанням генератора слів, багатоканального осцилографа та підключити до виходу пристрою світлодіод, як показано, наприклад, на рис. 5.

Вивід G' позначає інверсний вхід дозволу вибору елемента. Вибір ІМС можна провести двома шляхами: або натиснути на піктограму з назвою Digital, а потім перетягнути на робоче поле піктограму з ім'ям MUX, вибрати згідно з варіантом свою ІМС та натиснути кнопку Асерт, або вибрати піктограму з ім'ям Digit, натиснути на піктограму класу ІМС, перетягнути його на робоче поле, вибрати згідно з варіантом свою ІМС та підтвердити свій вибір кнопкою Асерт.

На схемі для візуального контролю генератора слів паралельно йому підключений 7-сегментний індикатор з внутрішнім дешифратором.

Підключити до всіх входів даних всі 0 (рис. 5). Зняти осцилограму функціонування ІМС.

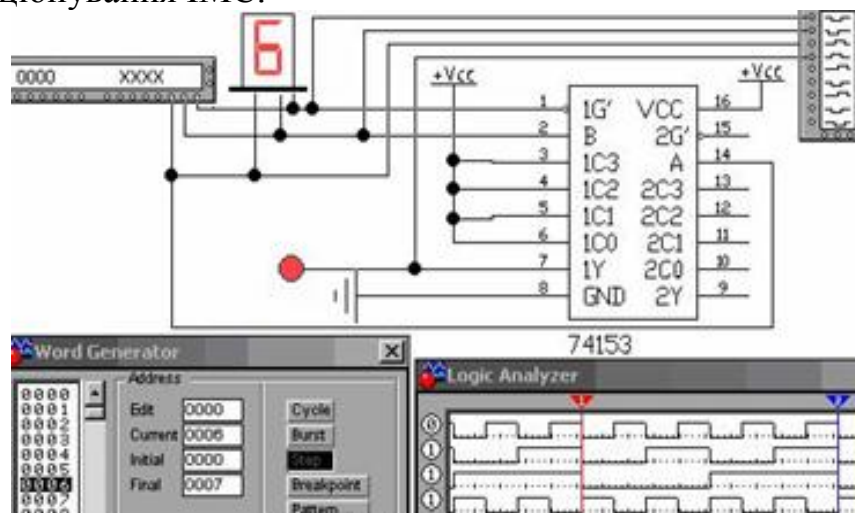


Рис. 5. Схема дослідження ІМС 74153

Підключити до всіх входів даних всі 1. По осцилограмі функціонування ІМС зробити висновки щодо змін, які з'явилися. Також виміряти час затримки вихідного сигналу відносно вхідних. Додати цю характеристику до звіту.

Виводи ІМС мають таке призначення:

- VCC – напруга живлення +5 В для ТТЛ;
- Vdd – напруга живлення для КМОП-логіки;
- GND – загальний для ТТЛ;
- USS – загальний для КМОП-логіки;
- I, A, B, C, ... – входи;
- Y, O – виходи;
- W – інверсний вихід;
- G' – вхід дозволу (активний рівень – низький).

Для складніших ІМС визначення функціонального призначення їх виводів доцільно проводити шляхом зіставлення з вітчизняними аналогами. Для більш оперативної орієнтації при роботі з цифровими ІМС приводиться перелік найбільш поширених мнемонічних позначень на їх функціональних схемах і в таблицях станів:

- A = B (Parity) – вихід рівності операндів A і B;
- A/S (Asynchro/Synchro) – вхід асинхронного і синхронного режимів;
- B/D (Binary/Decimal) – вхід перемикавання рахунку з двійкового на десятковий;
- (Clock input) – вхід тактових імпульсів;
- CD (Count down) – вхід тактових імпульсів на зменшення рахунку (у реверсивних лічильниках);
- Ci (Count up) – вхід тактових імпульсів на збільшення рахунку;
- CE (Clock enable) – вхід дозволу для тактових імпульсів;
- CEP (Count enable parallel) – вхід паралельного нарощування розрядів лічильника;
- CET (Count enable trickle) – вхід дозволу рахунку при нарощуванні розрядів лічильника;
- CLR (Clear) – вхід скидання;
- C, (Carry in) – вхід для розряду перенесення;
- CS (Chip select) – вибір кристала; визначає доступ до однієї з ІМС пристрою;
- D (Data input) – вхід даних тригера, лічильника, регістра;
- DSI (Data serial input) – вхід послідовних даних;
- DS (Data select) – вхід вибору даних;
- DL, DR (Data left, Data right) – входи для послідовного завантаження (регістра) зліва, справа;
- DSL, DSR (Data shift left, Data shift right) – входи для зрушення даних вліво, вправо;
- E (Enable) – вхід сигналу дозволу;
- EC (Enable count) – вхід сигналу дозволу рахунку;
- EE (Enable even) – вхід сигналу дозволу, рахунковий;
- EI (Enable input) – вивід ІМС, за яким дається дозвіл на прийом даних;
- EIO (Enable input/output) – вивід для одночасного дозволу по входу і виходу;

- EO (Enable output) – вивід для дозволу по виходу;
- LSB (Least significant bit) – молодший значущий розряд (МЗР). М (Mode control) – вибір режиму “Арифметики-логіка” в АЛП;
- PE (Parallel enable load) – вхід дозволу паралельного завантаження;
- P/S (Parallel/serial) – вхід перемикання режимів паралельного або послідовного завантаження;
- R (Reset) – асинхронне скидання даних;
- RE (Read enable) – вхід дозволу читання;
- S (Set) – установка тригера, лічильника, регістра;
- S (Set enable) – дозвіл попереднього паралельного запису;
- SI (Serial input) – вхід послідовний;
- SIR, SIL (Serial input right, SI left) – вхід послідовний справа, зліва;
- SR (Synchro reset) – вхід скидання синхронно з тактовим імпульсом;
- TC (Terminal count) – вихід закінчення рахунку;
- TCD (Terminal count down) – те ж на зменшення рахунку;
- TCU (Terminal count up) – те ж на збільшення рахунку.

Наприклад, для позначення мультиплексорів найбільш часто використовуються символи:

- для 4-канального мультиплексора 74153 (К155КП2): А, В – адресні входи, 1G, 2G – інверсні входи дозволу першого і другого мультиплексорів, 1C0...1C3 і 2C0...2C3, 1Y і 2Y – входи і виходи першого і другого мультиплексорів відповідно;
- для 4-канальних і 2-канальних мультиплексорів 74298 (К555КП13): А1, А2; В1, В2; С1, С2; D1, D2 – входи однойменних 2- канальних мультиплексорів, QА, QВ, QС, QD – виходи відповідних мультиплексорів, CLK – синхросигнал запам’ятовування результату, WS – сигнал вибору напрямку прийому інформації з першого або другого каналу.

Занести до звіту схему та результати досліджень згідно з варіантом та схему внутрішньої структури цифрового пристрою, яку теоретично може мати пристрій, що досліджується.

2.2. Дослідження функціонування дешифратора.

У відповідності з варіантом табл. 3, вибрати дешифратор.

Таблиця 3

№ з/п	Серія	Вітчизняні МС	Функціональне призначення
1	Generic	–	2-to-4 DEMUX
2	Generic	–	3-to-8 DEMUX
3	7442	555ИД6	DC 4 × 10
4	7445		
5	7447		
6	74138	155ИД7	Дешифратор-демультиплексор 3 × 8
7	74139	155ИД14	2 дешифратори-мультиплексора 2 × 4
8	74145	155ИД10	Двійково-десятковий DC з відкр. колектором
9	74154	155ИД3	Дешифратор-демультиплексор 4 × 16
10	74155	155ИД4	2 дешифратори-мультиплексора 2 × 4
11	74156	555ИД5	2 DC-DMUX 2 4 з відкритим колектором
12	74159		

13	74445		
14	4028	561ИД1	Двійково-десятковий DC
15	4514		
16	4515		

Зібрати схему дослідження дешифратора, під'єднати до нього генератор слів, світлодіод та 7-сегментний індикатор з дешифрацією адреси вхідних слів згідно з рис. 6. Разом зі світлодіодами можна підключити й багатоканальний осцилограф та прослідити зміну станів у динаміці.

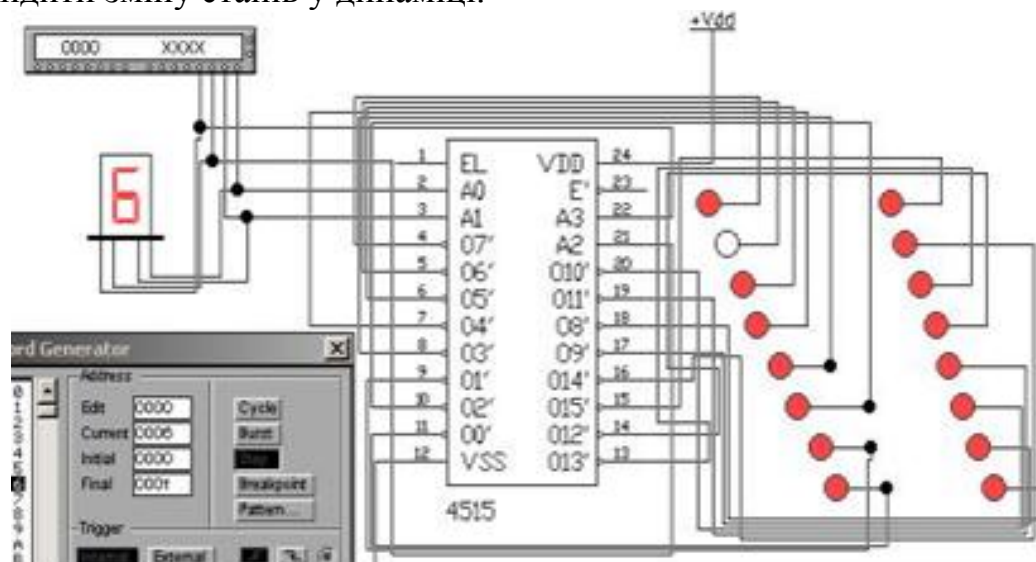


Рис. 6. Схема включення ІМС 4515

3. Контрольні питання

1. Які типи дешифраторів та шифраторів ви знаєте та чим обумовлено їх різноманіття?
2. Наведіть функціональне призначення дешифраторів та шифраторів.
3. Приведіть таблиці істинності повного дешифратора, шифратора та рівняння їх функціонування.
4. Обґрунтуйте використання неповних дешифраторів да дешифраторів з інверсними виходами.
5. Поясніть, практичне використання дешифраторів та шифраторів
6. Що таке мультиплексор та демультиплексор, та яке їх призначення?
7. Які функції виконує цифровий компаратор та в яких пристроях він може використовуватись?
8. Яке значення мають формувачі парності та де вони можуть використовуватись?

Тема 6. Комбінаційні цифрові вузли

Лабораторне заняття №5. Дослідження функціонування кодоперетворювачів та комбінаційних суматорів

Навчальна мета заняття:

1. Закріплення теоретичного матеріалу, набуття навиків аналізу і синтезу основних типових комбінаційних цифрових вузлів.
2. Набуття навиків створення і моделювання схем цифрової схемотехніки, робота з різними вимірювальними приладами.

Кількість годин: 4 год.

Література:

1. Рябенський В.М. Жуйков В.Я. Ямненко Ю.С. Заграничний А.В. Схемотехніка: Пристрої цифрової електроніки. Київ: 2016, КП. 399 с.

2. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. Харків: НТУ «ХПІ», 2007. 480 с.

Матеріально-технічне забезпечення: комп'ютерна мережа із системою модулювання електронних схем Electronics Workbench.

Навчальні питання

1. Побудова кодоперетворювачів двійкового коду 29
2. Дослідження функціонування комбінаційних суматорів 30
3. Контрольні питання 31

1. Побудова кодоперетворювачів двійкового коду

Завдання 1. Побудувати схему перетворювача 4-х розрядного двійкового коду X_1, X_2, X_3, X_4 з розрахунком значення знакового розряду X_{zn} в обернений $U_{zn}, U_1, U_2, U_3, U_4$.

В процесі перетворення прямого коду в обернений значення знакового розряду X_{zn} використовується як керуючий сигнал, який забезпечує отримання наступного виразу:

$$Y_i = \overline{X_{zn}} X_i \vee X_{zn} \overline{X_i} = X_{zn} \oplus X_i$$

Схема перетворювача прямого коду в обернений, побудовану на елементах "Виключальне АБО", показано на рис. 1

Завдання 2. Побудувати схему перетворювача 4-х розрядного двійкового коду X_1, X_2, X_3, X_4 з розрахунком значення знакового розряду X_{zn} в доповняльний $U_{zn}, U_1, U_2, U_3, U_4$.

Доповняльний код додатного двійкового числа збігається з його прямим і оберненим кодами. Доповняльний код від'ємного двійкового числа утворюється з його оберненого коду додаванням до молодшого розряду одиниці. Таким чином, операція перетворення прямого коду в доповняльний код не є порозрядною і виконується значно складніше, ніж отримання оберненого коду.

Відповідність між прямим і доповняльним кодами на прикладі чотирьох цифрових розрядів представлено в табл. 1.

Таблиця 1

Прямий код				Доповняльний код				Прямий код				Доповняльний код			
X_4	X_3	X_2	X_1	Y_4	Y_3	Y_2	Y_1	X_4	X_3	X_2	X_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
0	0	0	1	1	1	1	1	1	0	0	1	0	1	1	1
0	0	1	0	1	1	1	0	1	0	1	0	0	1	1	0
0	0	1	1	1	1	0	1	1	0	1	1	0	1	0	1
0	1	0	0	1	1	0	0	1	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1	1	1	0	1	0	0	1	1
0	1	1	0	1	0	1	0	1	1	1	0	0	0	1	0
0	1	1	1	1	0	0	1	1	1	1	1	0	0	0	1

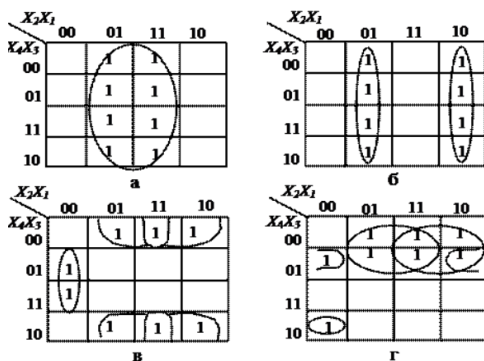


Рис. 1. Карта Карно для функцій
а) – Y_1 ; б) – Y_2 ; в) – Y_3 ; г) – Y_4

На основі карт Карно (рис. 1) з урахуванням знакового розряду X_{3H} прямого коду для функцій $Y_1 Y_2 Y_3 Y_4$, що представляють виходи перетворювача, отримуємо:

$$Y_{3H} = X_{3H}; Y_1 = X_1; Y_2 = X_2 \oplus X_1 X_{3H}; Y_3 = X_3 \oplus (X_2 \vee X_1) X_{3H}$$

$$Y_4 = X_4 \oplus (X_3 \vee X_2 \vee X_1) X_{3H}$$

Схему перетворювача прямого коду в доповняльний код на основі виразів показано на рис. 2. Даний перетворювач характеризується високою швидкодією. Час встановлення вихідного коду визначається трьома затримками поширення сигналу, проте зі зростанням номера розряду лінійно зростає і необхідне число входів елементів АБО, що використовуються у схемі.

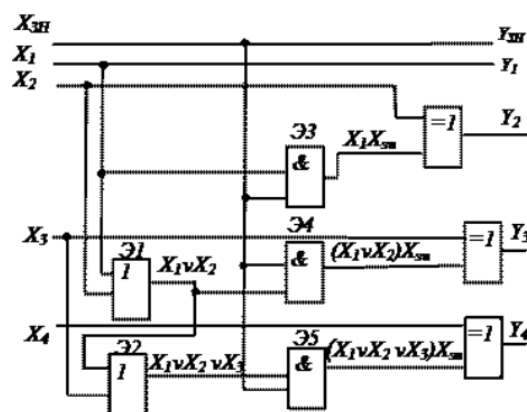
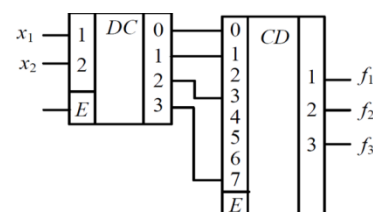


Рис. 2. Перетворювач прямого коду в доповняльний

Завдання 3. Побудувати перетворювачі кодів дешифратор – шифратор, в якому кількість входів дорівнює кількості входів дешифратора (x_i), а кількість виходів (f_i). Схема перетворювача кодів дешифратор – шифратор подано на рисунку нижче відповідно до даних таблиці.

x_1	x_2	f_1	f_2	f_3
0	0	0	0	0
0	1	0	0	1
1	0	0	1	1
1	1	1	1	1

дешифратор – шифратор	
0	0
1	1
2	3
3	7



Додаткові завдання для побудови перетворювача кодів дешифратор – шифратор.

№	Входи дешифратора	Виходи шифратора
1	2	000,001,011,101, 111
2	2	000,010,100,110
3	4	0000,0001,0011,0101,...,1111
4	3	0000,0010,0100,0110,...,1110
5	3	Парні 4-х розрядного коду
6	3	Непарні 4-х розрядного коду
7	3	Непарні 4-х розрядного коду
8	3	Парні 4-х розрядного коду

2. Дослідження функціонування комбінаційних суматорів

Провести дослідження суматорів згідно з варіантами (табл. 2).

Таблиця 2

№	Завдання на дослідження
1	3-розрядний СМ на повних суматорах
2	2-розрядний СМ на напівсуматорах
3	2-розрядний СМ з використанням елементів M2
4	4-розрядний СМ на повних суматорах
5	3-розрядний СМ на напівсуматорах
6	3-розрядний СМ з використанням елементів M2
7	5-розрядний СМ на повних суматорах
8	4-розрядний СМ на напівсуматорах
9	4-розрядний СМ з використанням елементів M2

10	6-розрядний СМ на повних суматорах
11	5-розрядний СМ на напівсуматорах
12	5-розрядний СМ з використанням елементів M2
13	7-розрядний СМ на повних суматорах
14	6-розрядний СМ на напівсуматорах
15	6-розрядний з використанням елементів M2

У програмі EWB арифметичні суматори наведені в бібліотеці Comt I двома базовими пристроями, наведеними на рис. 4, напівсуматором і повним суматором.

Вони мають наступні призначення виводів: А, В – входи операндів; Σ – результат додавання; Co – вихід переносу; Ci – вхід переносу. Багаторозрядний суматор створюється на базі одного напівсуматора і n повних суматорів. Як прикладна рис. 5 наведена структурна схема 2-розрядного суматора. На входи A1, A2 і B1, B2, подаються перші і другі доданки відповідно, а з виходів S1 та S2 знімається результат додавання.



Рис. 4. Зображення напівсуматора та повного суматора

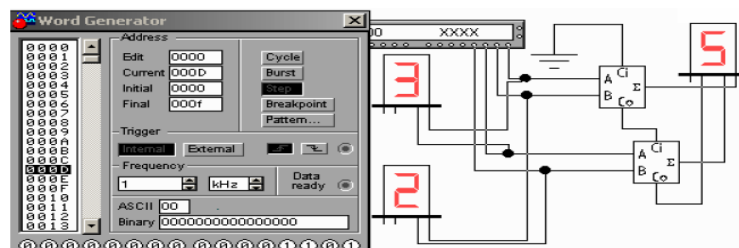


Рис. 5. Схема дослідження 2-розрядного суматора

Схема повного суматора однорозрядного на напівсуматорах наведена на рис.6, а схема повного однорозрядного суматора на елементах mod2 наведена на рис. 7.

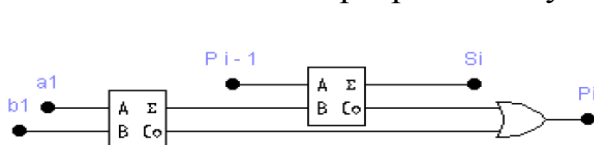


Рис. 6. Схема повного суматора однорозрядного на напівсуматорах

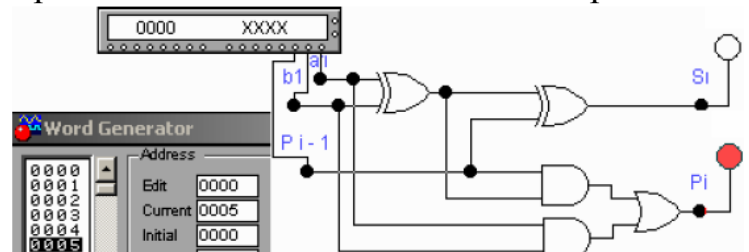


Рис. 7. Схема повного однорозрядного суматора на елементах mod2

Напівсуматори та логічні елементи mod2 завжди спрощують складність схем, які виконані з використанням комбінаторної логіки.

3. Контрольні питання

1. Які функції виконує кодоперетворювач та області його використання?
2. Чим відрізняється напівсуматор від повного суматора?
3. Кодування чисел: прямий, зворотний, додатковий двійкові коди.
4. Додавання і вирахування двійкових чисел у додатковому, зворотному кодах.
5. Вкажіть переваги і недоліки двійкових суматорів з послідовним переносом.

Тема 7. Схемотехніка цифрових вузлів

Лабораторне заняття №6. Дослідження функціонування регістрів, лічильників

Навчальна мета заняття:

1. Закріплення теоретичного матеріалу, набуття навиків аналізу і синтезу основних типових цифрових вузлів.

2. Набуття навиків створення і моделювання схем цифрової схемотехніки, робота з різними вимірювальними приладами.

Кількість годин: 4 год.

Література:

1. Рябенкий В.М. Жуйков В.Я. Ямненко Ю.С. Заграничний А.В. Схемотехніка: Пристрої цифрової електроніки. Київ: 2016, КПІ. 399 с.

2. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. Харків: НТУ «ХПІ», 2007. 480 с.

Матеріально-технічне забезпечення: комп'ютерна мережа із системою модулювання електронних схем Electronics Workbench.

Навчальні питання

1. Побудова типових цифрових вузлів: РЕГІСТРІВ, ЛІЧИЛЬНИКІВ..... 32
2. Дослідження функціонування РЕГІСТРА 33
3. Дослідження функціонування ЛІЧИЛЬНИКІВ..... 34
4. КОНТРОЛЬНІ ПИТАННЯ 34

1. Побудова типових цифрових вузлів: реєстрів, лічильників

Завдання 1. Побудувати 3-розрядний паралельний реєстр на RS тригерах з вхідними та вихідними ланцюгами записи та читання інформації.

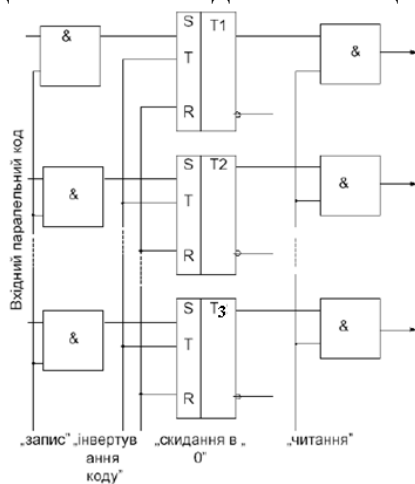


Рис. 1. Загальна схема паралельного реєстру

В паралельних реєстрах без зсуву інформація (двійкові числа слова) записуються одночасно до всіх розрядів (паралельний код). Загальна схема паралельного реєстру зображена на рис.1.

Завдання 2. Побудувати схему 3-розрядного реєстра, який створено на D-тригерах та виконує операції: установка в "0"; зсув слова на один розряд вліво; зсув слова на один розряд вправо; паралельний прийом інформації.

Поставимо у відповідність типам операцій значення управляючих сигналів: 00 – установка в "0"; 01 – зсув управо на один розряд; 10 – зсув уліво на один розряд; 11 – паралельний прийом інформації. Для виконання послідовного управління реєстром можна використати як дешифратор, так і мультиплексор. Схема багатофункціонального реєстра, призначеного для виконання необхідних операцій з використанням дешифратора наведена на рис. 2.



Рис. 2. Схема багатофункціонального реєстра, призначеного для виконання необхідних операцій з використанням дешифратора

Завдання 3. Побудувати реверсивний чотирьохрозрядний лічильник на Т-тригерах.

Реверсивні лічильники можуть працювати в режимах як додавання, так і віднімання. Прикладом реверсивного лічильника може служити лічильник К155ІЕ7, який наведено на рис.3. В його схемі передбачені два входи для лічильних імпульсів, які позначаються С+ та С-. В режимі додавання імпульси повинні надходити на вхід С+, а в режимі віднімання - на вхід С-, причому на незадіяному вході в цей момент повинен бути сигнал високого рівня. Даний лічильник має два виходи для сигналів перенесення: вихід >15 для сигналу прямого перенесення, який використовується при роботі лічильника в режимі додавання та вихід <0 для сигналу зворотнього перенесення, який використовується при роботі лічильника в режимі віднімання. Обидва виходи перенесення використовують при нарощуванні розрядності лічильників.

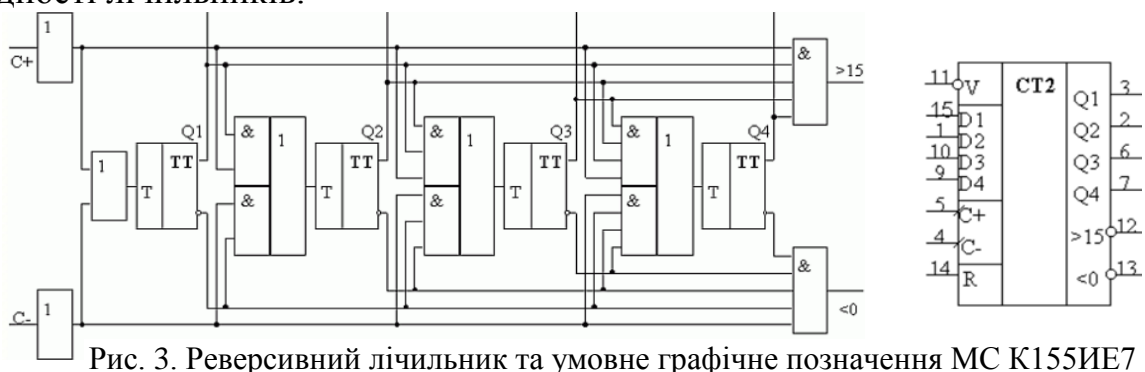


Рис. 3. Реверсивний лічильник та умовне графічне позначення МС К155ІЕ7

2. Дослідження функціонування регістра

Дослідження функціонування регістра, який побудовано на конкретних мікросхемах. У відповідності з варіантом з табл. 1 вибрати мікросхему та побудувати регістр. Навести функціональну схему та часові діаграми його функціонування.

Таблиця 1

№	Серія SN74	Вітчизняні МС	Функціональне призначення
1	7472	155ТВ1	JK-тригер з елементом 3І на виходах
2	7474	155ТМ2	2 D-тригери
3	7475	155ТМ7	D-тригери із прямими та інверсними виходами
4	7476	155ТВ7	JK-тригери
5	7477	155ТМ5	D-тригери із прямими виходами
6	7478	133ТВ14	JK-тригери
7	74107	155ТВ6	JK-тригери із роздільною установкою нуля
8	74109	155ТВ15	JK-тригери
9	74112	155ТВ9	JK-тригери
10	74113	155ТВ10	JK-тригери із поперед. установкою нуля та одиниці
11	74114	155ТВ11	JK-тригери із поперед. установ. 0 або 1 та "обнулінням"
12	74175	155ТМ8	D-тригери
13	74173	155ІР15	4-розр. регістр із трьома станами
14	74194	155ІР11	4-розр. універсальний регістр
15	74195	155ІР12	4-розр. регістр зсуву із паралельним введенням
16	74395	533ІР25	4-розр. паралельний регістр зсуву

Приклад заповнення генератора слів та схема дослідження паралельного регістра на JK-тригерах по входах попередньої установки наведені на рис. 4.

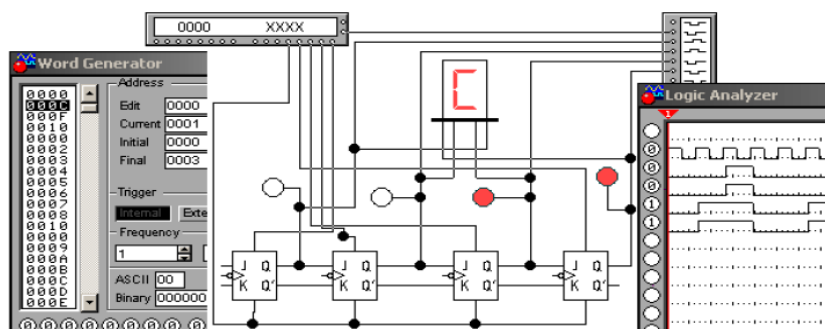


Рис. 4. Схема дослідження регістра на JK-тригерах по входах попередньої установки

Приклад дослідження схеми послідовного регістра з послідовним записом коду в регістр зсуву по інформаційних входах наведено на рис. 5.

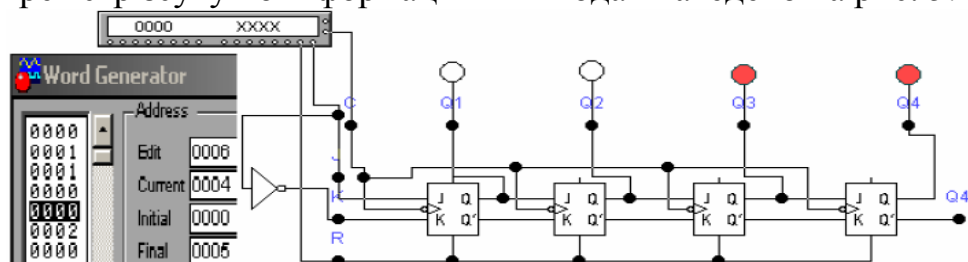


Рис. 5. Схема дослідження регістра зсуву на JK-тригерах з послідовним записом

3. Дослідження функціонування лічильників

Дослідження лічильників в інтегральному виконанні. Зібрати схему дослідження 4-розрядного асинхронного двійкового лічильника МС 7493 (155ІЕ5) як наведено на рис. 3. Змінити схему рис. 6 згідно з варіантом (табл. 2) та навести часові діаграми. Логічна структура мікросхеми К155ІЕ5 наведена на рис. 7.

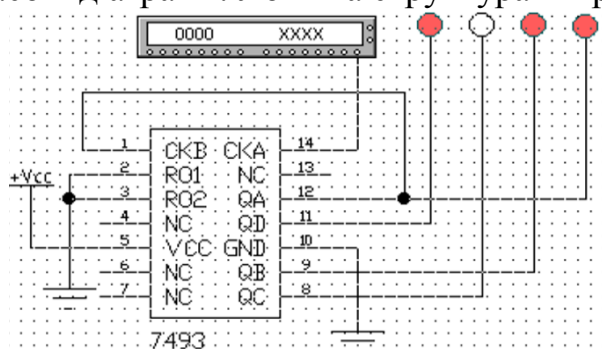


Рис. 6. Схема дослідження МС 7493

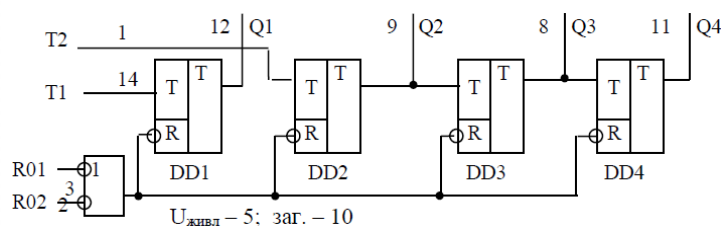


Рис. 7. Логічна структура мікросхеми К155ІЕ5

Таблиця 2

№	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
К _{лч}	3	4	5	6	7	8	9	10	11	12	13	14	15	6	9	11

4. Контрольні питання

1. Що таке регістр та які функції він може виконувати?
2. Наведіть типи регістрів та їх можливе використання.
3. Побудувати багатфункціональний регістр, який виконує операції: паралельний прийом інформації; зсув ліворуч на 1 розряд; скидання регістра.
4. Побудувати 3-розрядний лічильник на додавання на синхронних Т-тригерах та навести часові діаграми.
5. Побудувати 3-розрядний лічильник на віднімання на синхронних Т-тригерах та навести часові діаграми.

6. Побудувати 3-розрядний лічильник на додавання на D-тригерах та навести часові діаграми.

7. Побудувати 3-розрядний лічильник на віднімання на D-тригерах та навести часові діаграми.

3. Рекомендована література (основна, допоміжна), інформаційні ресурси в Інтернеті

Основна

1. Болюх В. Ф., Данько В. Г. Основи електроніки і мікропроцесорної техніки: Навч. посібник. Харків: НТУ «ХП», 2011. 257 с.

2. Зиков І.С., Межерицький С.Г., Подорожняк Л.О., Хавіна І.П. Програмування мікропроцесорів у захищеному режимі: навч.-метод. Посібник. Харків : ТОВ «ДІСА ПЛЮС», 2018. 264 с.

3. Квітка С.О., Яковлев В.Ф., Нікітіна О.В. Електроніка та мікросхемотехніка: Навчальний посібник / За ред. проф. В.Ф. Яковлева. Київ: Аграрна освіта, 2010. 329 с.

4. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. Харків: НТУ «ХП», 2007. 480 с.

5. Крилик Л.В., Селецька О.О. Матеріали електронної техніки: навчальний посібник. Вінниця: ВНТУ, 2017. 120 с.

6. Круліковський Б.Б., Николайчук Я.М., Шатний С.В. Мікропроцесорні системи. Практикум. Навчальний посібник. Рівне : НУВГП, 2016. 191 с.

7. Методи перетворення сигналів. Навчально-методичний посібник до самостійної роботи і контролю знань студентів / Укл.: Ю.В. Головка. Запоріжжя: ЗДІА, 2011. 61 с.

8. Методичні вказівки до виконання лабораторних робіт «Дослідження роботи ЦАП і АЦП» з дисципліни "Електронні системи" / укладачі: Є. Л. Онанченко, І. Є. Бражник. Суми : Сумський державний університет, 2012. 30 с.

9. Методичні вказівки до лабораторних робіт з дисципліни «Мікропроцесорна техніка» Укл.: В.І. Рева. Запоріжжя: ЗНТУ, 2019. 114 с.

10. Методичні вказівки до лабораторних робіт з курсу «Моделювання на ЕОМ» для студентів / Уклад. Харченко О. Л., Балев В. М. Харків : НТУ «ХП», 2010. 68 с.

11. Чешко І.В. Вступ до спеціальності «Електроніка» : навчальний посібник. Суми : Сумський державний університет, 2017. 148 с.

Додаткова

1. Електроніка і мікропроцесорна техніка / Сенько В.І., Лисенко В.П., Юрченко О.М., Лукін В.Є., Руденський А.А. Київ: «Агроосвіта», 2015. 676 с.

2. Кирик В.В. Мікропроцесорна техніка: Навчальний посібник. Київ: ІВЦ «Видавництво «Політехніка», 2014. 183 с.

3. Колонтаєвський Ю.П., Сосков А.Г. Електроніка і мікросхемотехніка: Підручник. 2-е вид. / За ред. А.Г. Соскова. Київ: Каравела, 2009. 416 с.

4. Матвійків М.Д., Вус Б.С., Матвійків О.М. Елементи та компоненти електронних пристроїв: підруч. для студентів ВНЗ, які навчаються за напрямом

«Радіоелектрон. апарати». Львів: Вид-во Львів. політехніки, 2015. 496 с.

5. Мілих В.І., Шавьолкін О.О. Електротехніка, електроніка та мікропроцесорна техніка: Підручник. Київ: Каравела, 2008. 688 с.

6. Плахтєєв А.П., Бабешко Є.В., Ткаченко В.А., Здоровець Ю.В. Архітектури та розроблення систем Інтернету / Вебу Речей на основі вбудованих платформ. Лабораторні роботи / За ред. В.С. Харченка. Міністерство освіти і науки України, Національний аерокосмічний університет ХАІ, 2019. 147 с.

7. Теорія цифрових автоматів та формальних мов. Вступний курс : навч. посібник / Гавриленко С. Ю., Клименко А. М., Любченко Н.Ю. та ін. Харків : НТУ "ХПІ", 2011. 176 с.

8. Хіхловська І.В., Антонов О.С. Обчислювальна техніка та мікропроцесори. Підручник. Одеса: 2011. 440 с.

9. Цирульник С.М., Лисенко Г.Л. Проектування мікропроцесорних систем: навчальний посібник. Вінниця : ВНТУ, 2012. 201 с.

Інформаційні ресурси

1. KTechLab . URL: <https://sourceforge.net/projects/ktechlab/>

2. Курс електроніки. Лекції. URL: <http://vozom.ho.ua/index.html>

3. Михайлов С.Р. Основи мікропроцесорної техніки: Лабораторний практикум [Електронний ресурс] : навч. посіб. Київ : КПІ ім. Ігоря Сікорського, 2019. 59 с.

4. Основи електроніки та мікропроцесорної техніки. URL: <http://repository.kpi.kharkov.ua/handle/KhPI-Press/18457>

5. Основи електроніки та схемотехніки. URL: <http://moodle.ipk.kpi.ua/moodle/mod/resource/view.php?id=12914>

6. Терещенко Т.О., Хоменко О.В. Мікропроцесорна техніка [Електронний ресурс]: конспект лекцій. Київ: КПІ ім. Ігоря Сікорського, 2017. 165 с.